Z80 互換のソフト CPU コア 「T80」の使い方.

要		1
1.1	はじめに	1
1.2	サンプルファイル	2
1.3	仕様	2
7ト編		3
2.1	SDCC のインストール	3
2.2	スタートアップルーチン(アセンブラ)	3
2.3	C プログラム	3
2.4	コンパイル	4
2.5	hex ファイルのコピー	5
ード緒	扁	6
3.1	T80 ソースの収集	6
3.2	周辺回路の作成	6
3.3	Altera 社の開発ソフト Quartus II の操作1	3
3.4	ポケットロジアナソフトによる波形測定2	0
	要 1.1 1.2 1.3 アト編 2.1 2.2 2.3 2.4 2.5 3.1 3.2 3.3 3.4	 要

概要

1.1 はじめに

Z80 互換のソフト CPU コア「T80」を FPGA(アルテラ社の Cyclone)に入れて動作させ てみました。ポケットロジアナ IP で波形を測定しています。保証もサポートもありません ので、自己責任でお使いください。

下記のホームページを参考にしています。

1 T80 ソース

OPENCORS

http://www.opencores.org/

OPENCORS の T80 のページ

http://www.opencores.org/projects.cgi/web/t80/overview

2 T80の使い方

Cyclone で Z80 互換の CPU を動かす。

http://hijiri.yitc.go.jp/mb/index.php?T80%2F%A5%CF%A1%BC%A5%C9%A5%A6%A5 %A8%A5%A2

FPGA-Donkey Kong http://office-dsan.hp.infoseek.co.jp/dkong/dkong_prj.htm

VeritakのT80のベンチマーク

http://japanese.sugawara-systems.com/opencores/benchmark/benchmark_z80.htm

おかもとシステムの SPARTAN-3 に Z80-IP(T80)を実装 http://www1.ocn.ne.jp/~oksys/xilinx/xpg4.htm

3 Z80 用 C コンパイラ SDCC の使い方 C コンパイラ SDCC のインストールとポケコン PC-E200 での動作確認 http://noritsugu.at.webry.info/200707/article_1.html

T80-ソフトウエア

http://hijiri.yitc.go.jp/mb/index.php?T80%2F%A5%BD%A5%D5%A5%C8%A5%A6%A5%

チュートリアル編 1

A8%A5%A2

Z80 の C 言語クロスコンパイル(SDCC)

http://www.markn.org/blog/z80/

1.2 サンプルファイル

今回作成したサンプルのファイル構成です。T80_sample.lzh を解凍すると、 T80_sample フォルダが作成されます。T80_sample を適当なフォルダ(ここでは C:¥work)に置いてください。

C:\u00e4work\u00e4T80_sample

¥T80_io FPGA 用ソースファイルです。Quartus Ⅱ Ver6.0 対応 ¥SDCC プログラムソースです。C コンパイラ SDCC 対応 ¥波形 ロジアナ IP で測定した T80 の波形

1.3 仕様

T80_sample を下記基板で動作させました。 ヒューマンデータ製 FPGA 基板 CSP-024-6 Cyclone EP1C6Q240C8 搭載

T80 のクロック 40MHz T80 のプログラムメモリ 2Kbyte T80 とロジアナ IP が使用するロジックエレメント数 3077 (51%) T80 とロジアナ IP が使用するメモリ 59776 (65%) ソフト編

ソフト編を飛ばして、次のハード編を先に実行することもできます。

2.1 SDCC のインストール

下記ホームページを参考に SDCC をインストールします。このサンプルで使用 しているのは、sdcc-2.8.0-setup.exe です。PATH を通すことを必ず行ってください。

C コンパイラ SDCC のインストールとポケコン PC-E200 での動作確認 http://noritsugu.at.webry.info/200707/article_1.html

2.2 スタートアップルーチン(アセンブラ)

スタートアップルーチン crt0.s を作成します。 crt0.s のオリジナルは、SDCC をインストールすると、下記にあります。

 $C: \ensuremath{\texttt{ProgramFiles}} \\ \texttt{SDCC} \\ \ensuremath{\texttt{Files}} \\ \ensuremath{\texttt{SDCC}} \\ \ensuremath{\texttt{Sloc}} \\ \ensuremath{\texttt{Sloc}}$

これを下記を参考に改造します。

T80-ソフトウエア

http://hijiri.yitc.go.jp/mb/index.php?T80%2F%A5%BD%A5%D5%A5%C8%A5%A6%A5% A8%A5%A2

1 下記3行をコメントアウトします。

call gsinit

.area _GSINIT

gsinit::

スタックポインタの初期化は、このサンプルのメモリ容量が2Kbyteなので、
 ld sp,#0x7ff

とします。

2.3 C プログラム

IO ポート SW から読んだ値に 0~3 を加算して、IO ポート LED に出力する プログラムです。

チュートリアル編 3

```
<t80_test.c の内容>
sfr at 0x00 SW;
sfr at 0xFF LED;
void
main0
{
    int i;
    while(1) {
        for (i=0; i <= 3; i++) {
            LED = SW + i;
        }
    }
}
```

2.4 コンパイル

crt0.s のアセンブル、t80_test.c のコンパイルと crt0.o のリンク、および hex フ ァイルの作成を行うバッチファイルです。sdcc-z80.bat をダブルクリックすると、 実行できます。

crt0.s に変更がなく、crt0.sのアセンブルを行わないときは、remをつけてコメント化 することができます。

rem as-z80 -logs crt0.0 crt0.s

<sdcc-z80.bat の内容> as-z80 -logs crt0.o crt0.s sdcc -mz80 t80_test.c crt0.o --no-std-crt0 packihx t80_test.ihx > t80_test.hex

下記のようなエラーが出る場合は、「2.1 SDCC のインストール」で PATH を通しているかどうか確認してください。



2.5 hex ファイルのコピー

t80_test.hex を C:¥work¥T80_sample¥T80_io フォルダにコピーします(上書き)。

ハード編

3.1 T80 ソースの収集

必要なファイルは、サンプルファイルを解凍してできた C:¥work¥T80_sample ¥T80_io フォルダに既に入っています。

T80 の VHDL ソースは下記にあります。ダウンロードには会員登録が必要で す。

OPENCORS の T80 のページ

http://www.opencores.org/projects.cgi/web/t80/overview

オリジナルを使いたいところですが、データバス D[7..0]が双方向なので使いにくく、 下記にデータバスを分離した、T80as.vhd がありますので、使わせていただきます。

FPGA-Donkey Kong

http://office-dsan.hp.infoseek.co.jp/dkong/dkong_prj.htm

altera_fpga_dkong_v301.zipをダウンロードし、解凍します。¥dkong_prj¥t80_ipフォルダ 内の下記ファイルを使います。

> 蹴T80as.vhd 豌T80.vhd 豌T80_ALU.vhd 豌T80_Reg.vhd 豌T80_Pack.vhd 豌T80_MCode.vhd

3.2 周辺回路の作成

メモリや PLL などが必要となりますが、サンプルファイルを解凍してできた C:¥work¥T80_sample¥T80_io フォルダに既に入っています。

1 2Kbyte のメモリを作成します。

- (1) メニューの[Tools | MegaWizard Plug-In Manager]を選びます。
- Next を押します。

6 チュートリアル編

MegaWizar	d Plug-In Manager [page 1]	
×	The MegaWizard Plug-In Manager helps you create or modify design files that contain custom variations of megafunctions. Which action do you want to perform? © Create a new custom megafunction variation © Edit an existing custom megafunction variation © Copy an existing custom megafunction variation Copyright + 1991-2006 Altera Corporation	
	Cancel < Back Next > Finist	n

(3) LPM_RAM_DQ をクリックし、ファイル名欄に ram_8x2k と記入します。

MegaWizard Plug-In Manager [pa	ge 2a] 🛛
MegaWizard Plug-In Manager [pa Which megafunction would you like to customize Select a megafunction from the list below Installed Plug-Ins Altera SOPC Builder Altera SOPC Builder Altera SOPC Builder Altera SOPC Builder Altera SOPC Builder Altera SOPC Builder Parallel Flash Loader Parallel Flash Loader SignalT ap II Logic Analyzer Storage ALT3PRAM ALTCAM ALTOPRAM ALTOPRAM ALTOPRAM ALTOPRAM ALTOPRAM LPM_FF LPM_FIFO+ LPM_FIFO+ LPM_RAM_DP+ LPM_RAM_DP+ LPM_SHIFTREG Virtual JTAG PM egaStore	ge 2a Image: 2a Which device family will you be using? Cyclone Which type of output file do you want to create? Image: AHDL Image: AHDL Image: AHDL Image: Verilog HDL Verilog HDL What name do you want for the gutput file? Browse Image: C:WORK\CSP-024-6\T80_io\ram_8x2k Image: Browse Image: Generate clear box netlist file instead of a default wrapper file (for use with supported EDA synthesis tools only) Image: Return to this page for another create operation Note: To compile a project successfully in the Quartus II software, your design files must be in the project directory, in the global user libraries specified in the User Libraries page of the Settings dialog box (Assignments menu). Your current user library directories are: Your current user library directories are:
	Cancel < <u>B</u> ack <u>N</u> ext > Einish

(4) 8 bits、2048 words を	選びます。
(4) 8 DILS, 2048 WORDS 2	悪いより,

MegaWizard Plug-In Manag	ger - LPM_RAM	LDQ [page 3	of 7]
LPM_RA	M_DQ	F	bout	Documentation
Parameter 2 Simulation Settings Library	Summary Page			
Widths, Blk Type, Clks 🔪 Regs, Clke	ns, Byte Enable, Aclrs	> Mem Init >		
ram_8x2k data[70] q[70] wvren ddress[100]	Currently select How wide should th How many 8-bit wo What should the Auto	ed <u>d</u> evice family: le 'q' output bus be rds of memory? RAM block type be M512	Cyclo ? 	8 v bits 2048 v words
	Set the maximum	block depth to	7	Auto 🔽 words
Resource Usage 128 M4K	What clocking me Single clock Dual clock: u:	thod would you like se separate 'input' Cancel	to use? and 'outp ack	out' clocks Next > Einish

(5) 'q' output port のチェックを外します。

MegaWizard Plug-In Manage	r – LPM_RAM_DQ [p	age 4 of 7]	
LPM_RAM	I_DQ	About	Documentation
Parameter Settings Zimulation Joan Settings Widths Bill Type City	immary ige Byte Enable, Octro Mem	Init	
ram_8x2k data[70] q[70] wren address[100] clock	Which ports should be regis 'data' and 'wren' input 'address' input port 'address' in	signal for each d ports are signal(s). t t nous clear	More Options
Resource Usage 128 M4K	Cancel	< <u>B</u> ack	<u>V</u> ext > <u>F</u> inish

(6) File name の欄にt80_test. MegaWizard Plug-In Manager と PM_RAM_ Version 6.0	hex と記入 <mark>- LPM_RAN</mark> _ DQ	します。 A <u>DQ [page 5</u>	of 7]	Cocumentation
Parameter Z Simulation Settings Library Gls Regs, Clkens, B	mary yte Enable, Acirs	: Mem Init		
ram_8x2k data[70] q[70] → wvren address[100] < clock	Oo you want to s No, leave it Initialize Yes, use this (You can us Initialization	pecify the initial con blank memory content da s file for the memory e a Hexadecimal (In File [.mif])	itent of the memory? ta to XXX on power v content data tel-format) File [.hex	, r-up in simulation (] or a Memory Browse
Resource Usage	File name: The initial co to which por Allow In-System independently of The 'Instance I	t80_test.hex ontent file should con rt's dimensions? In Memory Content E of the system clock D' of this RAM is:	iditor to capture and	v update content
128 M4K		Cano	el < <u>B</u> ack <u>N</u>	ext > Einish

(7) Next を押します。

MegaWizard Plug-In Manage	r – LPM	_RAM_DQ [page 6 of 7] Simulation Librari 🛛
Version 6.0	_DQ	About
1 Parameter 2 Simulation 3 Su Settings Library Pa	mmary ige	
ram_8x2k	To properly file(s) are no	r simulate the generated design files, the following simulation model eeded
	File	Description
Address[100]	altera_mf	Altera megafunction simulation library
Resource Usage 128 M4K -		Cancel < <u>B</u> ack <u>N</u> ext > <u>F</u> inish

MegaWizard Plug-In Manag	ger – LPM_RAM_DQ M_DQ	[page 7 of 7] -	-Summa	ary
Version 6.0			About	Documentation
Parameter Z Simulation Settings Library	Summary Page			
	by checking or unchecking	its corresponding check	box, respec	tively. The state of
wren address[100]	checkboxes will be rement session. The MegaWizard Plug-In M C:¥WORK¥CSP-024-6¥T80	ered for the next Mega lanager will create these D_io¥	aWizard Plug e files in the	-In Manager directory
wren address[100]	checkboxes will be rement session. The MegaWizard Plug-In M C:¥WORK¥CSP-024-6¥T80 File	lanager will create these o_io¥	Wizard Plug e files in the	-In Manager directory
wren address[100]	checkboxes will be rement session. The MegaWizard Plug-In № C:¥WORK¥CSP-024-6¥T80 File ☑ ram_8x2k.vhd	lanager will create these Joi Jo¥	awizard Plug e files in the	-In Manager directory
wren wren clock	checkboxes will be rement session. The MegaWizard Plug-In № C:¥WORK¥CSP-024-6¥T80 File Gram_8x2k.vhd ara_8x2k.vhd	lanager will create these)_jo¥ Description Variation file AHDL Include file	e files in the	-In Manager directory
wren wren widdress[100] clock	checkboxes will be rement session. The MegaWizard Plug-In M C:¥WORK¥CSP-024-6¥T80 File ☑ ram_8x2k.vhd ☑ ram_8x2k.cmp ☑ ram_8x2k.cmp	Ianager will create these D_jo¥ Description Variation file AHDL Include file VHDL Component d	e files in the	-In Manager directory
wren wren wddress[100] clock	checkboxes will be rement session. The MegaWizard Plug-In M C:¥WORK¥CSP-024-6¥T80 File ☑ ram_8x2k.vhd ☑ ram_8x2k.inc ☑ ram_8x2k.inst.vhd ☑ ram_8x2k.inst.vhd	Ianager will create these D_jo¥ Description Variation file AHDL Include file VHDL Component d Quartus symbol file Instantiation templat	e files in the eclaration file	-In Manager directory
wren wddress[100] clock	checkboxes will be rement session. The MegaWizard Plug-In M C:¥WORK¥CSP-024-6¥T80 ☐ ram_8x2k.vhd ☐ ram_8x2k.vhd ☐ ram_8x2k.inc ☑ ram_8x2k.cmp ☑ ram_8x2k.bsf ☑ ram_8x2k_inst.vhd	Ianager will create these D_jo¥ Description Variation file AHDL Include file VHDL Component d Quartus symbol file Instantiation templat	wizard Plug e files in the eclaration file	-In Manager directory

2 FPGA 基板のクロックが 50MHz ですので、PLLを使って 40MHz に落とします。今 回使用するデバイス Cyclone EP1C6Q240C8 に T80 を入れた場合、最高動作周波数 が 40 数 MHz のためです。

- (1) メニューの[Tools | MegaWizard Plug-In Manager]を選びます。
- Next を押します。

	×	The MegaWizard Plug-In Manager helps you create or modify design files that contain custom variations of megafunctions. Which action do you want to perform? © <u>Create a new custom megafunction variation</u> © <u>E</u> dit an existing custom megafunction variation © Copy an existing custom megafunction variation Copyright → 1991-2006 Altera Corporation
--	---	---

(3) ALTPLLをクリックし、ファイル名欄に pll_40m と記入します。

which megatuhction would you like to customize? Select a megafunction from the list below	which device family will you be Cyclone
	Which type of output file do you want to create? C ▲HDL Image: YHDL C Verilog HDL What name do you want for the gutput file? Browse. C:\WORK\CSP-024-6\T80_io\pll_40m
ALTDDIO_OUT ALTDDIO ALTDQ ALTDQ ALTDQS ALTGXB ALTGXB ALTFLL ALTPLL, RECONFIG ALTPLL, RECONFIG ALTREMOTE_UPDATE IO/MAX II oscillator Memory Compiler Parallel Flash Loader Sarial Elsab Loader	Note: To compile a project successfully in the Quartus II software, your design files must be in the project directory, in the global user libraries specified in the Options dialog box (Tools menu), or a user library specified in the User Libraries page of the Settings dialog box (Assignments menu). Your current user library directories are:

(4) 50MHzと記入します。



MegaWizard Plug-In Manager [page 4 of	9] 🛛 🕫
Version 6.0	About Documentation
1 Parameter 2 Output 3 Simulation 4 Summa Settings Clocks Ubrary Page	
General/Modes Scan/Lock	
pll 40m	Able to implement the requested PLL
inclk0 inclk0 frequency: 50.000 MHz C0	Create gptional inputs for dynamic reconfiguration
Operation Mode: Normal Clik [Ratio] Ph (dg) DC (%) c0 171 0.00 50.00	Some PLLs have fewer independent outputs and require less data to reconfigure. These PLLs have a shorter scan chain. Which scan chain tyne will you be usion?
Cyclone	Long chain: All 6 core and 4 external clocks are available
	O Short chain: Limited to 6 core clocks, with optional external clock
	Optional inputs
	Create an 'pilena' input to selectively enable the PLL
	Create an 'areget' input to asynchronously reset the PLL
	Create an proteina input to selectively enagle the phase/frequency detector
	Lock output
	Create locked output
	Advanced PLL Parameters Lision these parameters is recommended for advanced users only
	□ Create output file(s) using the ' <u>A</u> dvanced' PLL parameters
	- Configurations with output clock(s) that use cascade counters are not supported
— — — — — — — — — — — — — — — — — — —	

(6) Enter output clock parameters に 4 と 5 を記入します。 Finish を押し、完成です。

Image: Subject of the second secon	MegaWizard Plug-In Manager [page	5 of 9]	X .
Version 6.0 @bout Documentation Parameter Cods Simulation Parameter Ctool Extractor Code Code finded frequency: 50 000 MHz O - Core Output Clock Able to implement the requested PLL Image: Code Main Phi (90) OC (11) Extractor Code Image: Code Code Code (Code) Code (Code) Image: Code Code Code (Code) Code) Image: Code Code Code (Code) Code) Code) Image: Code Code Code) Code) Code) Code) Image: Code Code Code) Code) Code) Code) Code) Image: Code Code Code)	ALTPLL		
Parameter Settings 2 Output Cocks 3 Simulation Lbr.ary 1 Simulation Lbr.ary CIO CLI EXTCLUO Image: Settings CO - Core Output Clock Able to Implement the requested PLL Image: Settings Cock Image: Settings So.oo	Version 6.0		About Documentation
Seconds Codes Codes Page CLC0 EXTCLED Codes Added to implement the requested PLL	1 Parameter 2 Output 3 Simulation 4	Summary	
pll_40m c0 - Core Output Clock Able to implement the requested PLL ✓ Lise this clock Operation Mode: Normal ✓ Lise this clock Colock Tap Settings Requested settings Colock Tap Settings Clock Tap Settings Colock guiltplication factor 0.00000000000000000000000000000000000		Page	
pll_40m Able to implement the requested PLL		all Cours Output Clark	
Image: Structure of the s	pll 40m	Able to implement the requested PLL	
Incli@	1		
Operation Mode: Normal Clock Tap Settings Requested settings Actual settings Ck Ratio Ph. (dg) DC (X) 00.0000000 MH2 MO.0000000 Clock multiplication factor Enter output clock parameters: Clock multiplication factor 4 Clock multiplication factor Clock glvision factor 5 Clock dgv/sion factor 5 Clock dgw/sion Clock dgv/sion factor 5 Solo 50.00 50.00 More Details >> For Clock Feasibility Indicators CO Clock Clock feasibility Indicators	inclk0 inclk0 frequency: 50.000 MHz C0	Use this clock	
Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of the (dg) DC C(s) Image: Construction of th	Operation Mode: Normal	Clock Tap Settings	Requested settings Actual settings
Cyclone Enter output clock parameters: Clock gultiplication factor 4 Clock glvision factor 5 Clock dyty cycle (%) 50.00 Clock dyty cycle (%) 50.00 More Details >> Per Clock Feasibility Indicators CO C1	Clk Ratio Ph (dg) DC (%) c0 4/5 0.00 50.00	Enter output clock frequency:	100,00000000 MHz 40,000000
Cyclose Clock guliplication factor 4		Enter output clock parameters:	
Clock givision factor 5 S C <copy 5<br="">Clock givision factor 5 S C<copy 5<br="">Clock dgts cycle (%) 50.00 S 50.00 5 More Details >> Per Clock Feasibility Indicators CO C1 C2</copy></copy>	Cyclone	Clock <u>multiplication</u> factor	4
Clock phase shift 0.00 and deg v 0.00 Clock dgty cycle (%) 50.00 and 50.00 More Details >> Per Clock Feasibility Indicators CO C1 C2		Clock division factor	5 << Copy 5
Clock plase shift 0.00 deg V 0.00 Clock dgty cycle (%) 50.00 50.00 50.00 More Details >> Per Clock Feasibility Indicators CO C1 C2			
Clock dyty cycle (%) 50.00 💭 50.00 More Details >> Per Clock Feesibility Indicators CO C1 C2		Clock phase shift	0.00 deg V 0.00
Clock dgty cycle (%) 50.00 50.00 50.00 More Details >> Per Clock Feasibility Indicators C0 C1 C2			
More Details >> C0 C1 C2		Clock d <u>u</u> ty cycle (%)	50.00 🗘 50.00
CO C1 C2		More Details >>	
Per Clock Feasibility Indicators CO C1 C2			
C0 C1 C2			Per Clock Feasibility Indicators
			C0 C1 C2
Canrel Cark Next > Finkh			Cancel < Back Next > Finish
			Concorr (2007 Dupit

3.3 Altera 社の開発ソフト Quartus II の操作

このマニュアルでは、Quartus II Ver6.0を使用しています。

1 ポケットロジアナソフト Ver5.50 をインストールしたパソコンの C:¥ProgramFiles ¥PocketLogiana¥Logiana IP¥Sample¥quartus¥cyclone¥ana32x1k compress gen16x256 フォルダ内の plogi.bdf と plogi.qpf を除くファイル全てを C:¥work¥T80_sample¥T80_io にコピーします。

2 Quartus II を起動します。

3 メニューの[File | Open Project]を選択し、プロジェクトファイル C:¥work ¥T80_sample¥T80_io¥ T80as_top.qpfを開きます。

4 メニューの[File | Open]を選択し、T80as_top.bdfを開きます。



<回路図の解説>

 (1) pll_40m は 50MHz クロックを 40MHz に変換します。今回使用するデバイス Cyclone EP1C6Q240C8 に T80 を入れた場合、最高動作周波数が 40 数 MHz のため です。 (2) T80 の RESET_n は、パターンジェネレータ IP の出力 OUTA[0]で制御します。 FPGA のコンフィグレーション直後、パターンジェネレータ IP の出力は全て L です。 OUTA[0]をポケットロジアナソフトの操作でHにすると、リセットが解除され、T80の動作 が始まります。操作方法は、「3.4 ポケットロジアナソフトによる波形測定」で解説してい ます。

(3) IO ポート SW[7..0]の値を読んで、0~3を加算した値を、IO ポート LED[7..0]に出 力します。

SW[7..0]は DIP スイッチなどを想定していますが、このサンプルではパターンジェネレ ータ IP の出力 OUTA[8..1]を接続しています。

LED[7..0]は LED の点灯などを想定していますが、このサンプルではロジックアナライ ザ IP で波形を測定しています。

(4) T80とパターンジェネレータIP、ロジックアナライザIPの接続に、WIREシンボルを 使っています。WIRE は名称の異なる信号を接続するのに使います。



5 メニューの[Project | Add/Remove Files in Project]を選びます。Add All ボタ ンを押して、ファイルをプロジェクトに加えます。

General	Files			
 Hies User Libraries (Current Project) Device Timing Analysis Settings EDA Tool Settings Compilation Process Settings 	Select the design files you want to include project directory to the project.	in the project. Click Add All to a	add all desi	gn files in the Add
Analysis & Synthesis Settings	File name	Туре	^	Add All
 Filter Settings Assembler Design Assistant Signall ap II Logic Analyzer Logic Analyzer Interface SignalProbe Settings Simulator Settings PowerPlay Power Analyzer Settings 	ana221kc_compress_v52.pdf anaeng32xlk_compress_v52.kdf cmdsep_v53.vhd geneng12x55c_v46.gdf geneng16x255c_v46.tdf log32_compress_16.bdf lpm_mux_8.vhd pl_cmt_ces_wn.vhd pl_cft_de_8.vhd pl_cft_ecs_vhd pl_ft_ecs_vhd pl_ft_ecs_vhd pl_sft_edio_w.vhd pl	Graphic Desig AHDL File Graphic Desig AHDL File Block Diagram VHDL File VHDL File		Remove

6 メニューの[Assignment | Device]でデバイスを選択します。

General Files	Device					
User Libraries (Current Project) → Device 1 Timing Analysis Settings 1 EDA Tool Settings 2 Compilation Process Settings 3 Analysis & Synthesis Settings 5 Fitter Settings 4 Assembler → Design Assistant 5 Signaf api IL Logic Analyzer - Logic Analyzer Interface	Select the family and device Eamily: Cyclone Device & Pin Options Target device C Auto device selected C Specific device select C Other: n/a	e you want by the Fitte :ted in 'Avail	to target for c r able devices	ompilation.	Show in 'Available Package: Au Pin count: Au Speed grade: Au Core voltage: 1.1	t devices' list
■ SignalProbe Settings ■ Simulator Settings	Available devices:					
B PowerPlay Power Analyzer Settings	Name EP1C4F40007 EP1C6F256C6 EP1C6F256C7 EP1C6F256C7 EP1C6F256C7 EP1C6F256C7 EP1C62240C7 EP1C62240C7 EP1C62240C7 EP1C62240C7 EP1C62240C7 EP1C6240C7 EP1C61144C6	LEs 4000 5980 5980 5980 5980 5980 5980 5980 5	Memor 78336 92160 92160 92160 92160 92160 92160 92160 92160	PLL 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	•	
	Migration compatibility — Migration Devices		HardCopy	n device — II: SP & BAN	to HardCopy II devi	

/ニューの[Assignments Device]で開いたタイチログの中の
Device & Pin Options ボタンを押します。
(1)Unused Pins タブで、As input try-stated with weak pull-up を選びます。
Device & Pin Options
Voltage Pin Placement Error Detection CRC Capacitive Loading General Configuration Programming Files Unused Pins Dual-Purpose Pins
Specify device-wide options for reserving all unused pins on the device. To reserve individual dual-purpose configuration pins, go to the Dual-Purpose Pins tab. To reserve other pins individually, use the Assignment Editor.
Reserve all unused pins: As input tri-stated with weak pull-up
Description: Reserves all unused pins on the target device in one of 5 states: as inputs that are tri-stated, as outputs that drive ground, as outputs that drive an unspecified signal, as input tri-stated with bus- hold, or as input tri-stated with weak pull-up.
<u>R</u> eset
OK キャンセル

(2) Configuration タブで、Passive Serial を選びます。

Voltage Pin	Placement	Error Detection CRC Capacitive Loading
General Configura	tion Prog	ramming Files Unused Pins Dual-Purpose P
Specify the device config settings apply to the FPG.	juration scheme A prototype dev	and the configuration device. Note: For HardCopy II, these ice.
Configuration scheme:	Passive Seria	al (can use Configuration Device)
Configuration mode:	Standard	7
- Configuration device		
☑ <u>U</u> se configuration	device:	Auto
		Contiguration Device Uphons
Generate compressed	d bitstreams	Lonitguration Device Uptions
✓ Generate compressed Description: The method used to load Serial (PS); and Active S	d bitstreams I data into the d erial (AS).	Lonhguration Device Uptions
✓ <u>G</u> enerate compressed Description: The method used to load Serial (PS); and Active S	d bitstreams d data into the d erial (AS).	Eonfiguration Device Uptions, evice. Two configuration schemes are available: Passive <u>R</u> eset

16 チ

8 メニューの[Processing | Start Compilation]でコンパイルを行います。

9 メニューの[Assignments | Pins]で、入力ピン・出力ピンの割当を行います。 FPGA 基板に合わせて設定してください。Location のセルをダブルクリックして、ピン番 号を選択します。



10 入力ピンをWeak Pull-upします。ポケットロジアナのフラットケーブルをFPGA 基板に接続していないとき、入力にノイズが乗るのを防ぎます。入力ピン IP_WR の上で右 クリックして、Locate in Assignment Editor を選びます。

	A		log	i32_compress_16	;		
₽_VVR IP_CMD IP_RESET III	Cut Cut Copy Paste Celete	Ctrl+X Ctrl+C Ctrl+V Del	SCLK RESET MD 10]	LCLK IP_RESET IP_CMR IP_CMD LOGI_IN[310]	LD GEN_OUT[15	ATA 0]	
Ē	Locate Update Symbol or B) Bloc <u>k</u>	Locate Locate Si Locate	in <u>A</u> ssignmen in <u>P</u> in Planne in <u>T</u> iming Clos	n <mark>t Editor</mark> er sure Floorp	olan	
	⊾ Flip <u>H</u> orizontal ¦ Flip <u>V</u> ertical Rotate <u>b</u> y Degrees	•	Eocate Locate Locate Locate	in <u>C</u> hip Editor in <u>R</u> esource I in Technolog	r Property Ec ly <u>M</u> ap View	litor ⁄er	Inst20
	Zoom Properties	•	Locate	in RT <u>L</u> Viewe in <u>D</u> esign File	er e		
			inst17	X	e	チュート	リアル編 17

Assignment Name のセルをダブルクリックして、Weak Pull-Up Registorを選びます。 То Value Enabled Assignment Name ■ IP_WR Location PIN_133 Yes ■IP_WR Yes Show 'X' on timing violation Slow Slew Rate (Accepts wildcards/groups) Source Multicycle (Accepts wildcards/groups) Source Multicycle Hold (Accepts wildcards/groups) Speed Optimization Technique for Clock Domains State Machine Processing tco Requirement (Accepts wildcards/groups) th Requirement (Accepts wildcards/groups) Toggle Rate (Accepts wildcards/groups) tpd Requirement (Accepts wildcards/groups) tsu Requirement (Accepts wildcards/groups) Virtual clock reference Virtual Pin Virtual Pin Clock Weak Pull-Up Resistor (Accepts wildcards/groups)

Value のセルをダブルクリックして、On を選びます。

То	Assignment Name	Value	Enabled
IP_WR	Location	PIN_133	Yes
■ IP_WR	Weak Pull-Up Resistor	-	Yes
■ IP_WR			Yes
		Off	
		On	

同様にして入力ピン IP_CMD、IP_RESET についても、Weak Pull-up します。メニューの [File | Save]で設定を保存します。

11 メニューの[Processing | Start Compilation]で、再度コンパイルを行います。 ピンの設定状態は、Compilation Report の All Package Pins で分かります。

📸 plogi.bdf		🛛 🧭 Assignment Editor					
🛛 🗃 🖽 Flow Non-Default Global 🔼	All	Packag	e Pins				
∰ III Flow Elapsed Time		Location	Pad Number	1/0 Bank	Pin Name/Usage	Dir.	1/0 Standard
🗃 🗃 Flow Log	128	128	106	3	RESERVED_INPUT_WITH_WEAK_PULLUP		o tanta di a
E Synthesis	129	129			GND	gnd	
	130	130		3	VCCI03	power	
- A III Settings	131	131	107	3	RESERVED_INPUT_WITH_WEAK_PULLUP		
Pin-Out File	132	132	108	3	RESERVED_INPUT_WITH_WEAK_PULLUP		
🖃 🚑 🔁 Resource Section	133	133	109	3	IP_WB	input	LVTTL
🖉 🖉 🛲 Resource Usage S	134	134	110	3	RESERVED_INPUT_WITH_WEAK_PULLUP		
🗃 🎛 Input Pins	135	135	111	3		output	LVTTL
🗐 🗐 🖉 Output Pins	136	136	112	3	RESERVED_INPUT_WITH_WEAK_PULLUP		
- 🚑 🎛 I/O Bank Usage	137	137	113	3		input	LVTTL
- 🚑 🎞 All Package Pins	138	138	114	3	RESERVED_INPUT_WITH_WEAK_PULLUP		
🚽 🗃 Output Pin Default	139	139	115	3	RESERVED_INPUT_WITH_WEAK_PULLUP		
- 🚑 🎹 Resource Utilizatio	140	140	115	3	RESERVED_INPUT_WITH_WEAK_PULLUP	inmut	INTTI
🛛 🖉 🛲 Delay Chain Summ	141	141	117	3	ПЕСМО	input	LVIIL

18 チュートリアル編

12 メニューの[Tools | Programmer]を選び、回路をダウンロードします。 ダウンロードケーブルを認識していない場合、Hardware Setup ボタンを押して、認識 させます。Program/Configure にチェックをして、Start ボタンを押します。

🔔 Hardware Setup	ByteBlasterMV [LPT1]	Mode	JTAG	-	Progre
🔲 Enable real-time I	SP to allow background pr	ogramming (for MAX II de	vices)			
🏓 Start	File	Device	Checksum	Usercode	Program/ Configure	Verify
🛍 Stop	T80as_top.sof	EP1C6Q240	002F36E2	FFFFFFF		
He Auto Detect						
X Delete						
🍰 Add File						
👺 Change File						

メニューの[File | Save]で、Programmerの設定を保存します。



🕼 ポケット	ロジアナ								
ファイル(E)	編集(E)	設定(9	<u>S</u>) 情報	暇(1)					
ロジアナIP ハードウェア	を探していま PIよ正常で	ミす。しばれ す。	らくお待ち	ください。		×	Find IP		
ロジアナ1	信号発生	1 プロト=	NF						
RUN	測定モート	シングル	-	測定間隔 10nS	→ AtoB 1 μS	Δ	<<>>	A HEX	
STOP	ズーム	×1	•	測定時間 20.48 µS	FIND	NEXT B	< <> >	7-0	
信号名	СН	トリガ	A	B	00	0	D	5.00	-
	0	左 Rice	I	1µ5	2µ5	345	4 4 5	545	
	1	-							
	2	-							
	3	-							
	4	-							
	5	-							
	6	-							
1	7	-			1				
			•						

4 メニューの[設定 | ハードウェア]を選択し、「ハードウェア設定」ダイアログを表示します。「クロック」タブをクリックし、IP クロック周期を 25 に変更してください。 25nS=40MHz

ハードウェア設定		×
モード クロック		
クロック 内部クロック(50MHz) <u>-</u>		
PLLディレイ OnS		
外部クロック周期 20 20~40nS		
IPクロック周期 25 nS		
i兑8月		
	0K キャンセル	

5 メニューの[ファイル | 開く]を選択し、C:¥work¥T80_sample¥波形¥T80_io.ana を 開きます。

🚯 C:¥WOR	K¥T80_s	ample	¥波形¥T80	io.ana					
ファイル(E)	編集(E)	設定	(<u>S</u>) 情報(I)						
ハ <i>ードウェア</i> データファイル	よ正常です ∕を開きまし	た。					Find	IP	
ロジアナ1 {	言号発生1	J¤h	⊐µ						
RUN	測定モード	シング	ル 💌 測知	E間隔 25nS	▼ AtoB 2.8	325 µ S	A [<<	->> A	HEX
STOP	ズーム	×2	• 測測	E時間 83.4 µS	FIND	NEXT	в (<<	->> 31-0) 20C3001 F
信号名	СН	トリガ	[3	C			D _
		左	1.25 µS	2.5 µS	3.75 µ.S	5	μS	6.25 µS	7.5µS_
RESET_n	0	Rise							
MREQ_n	1	-					נונונונים ביונים	սուրուրու	
IO RQ_n	2	-							
RD_n	3	-	່ານທະບານທ	ບບບບບ່ານກ	ບາມ-າມແມ່ນນ	mmm	ບົບບານບານ	ມແຫຼ່ມມາມ	າມມາການທ
WRn	4	-							
A[100]	15-5	*	200000000000000000000000000000000000000	0000000-00000000		00000-00000-	0.000000000000000000000000000000000000	000000000000000000000000000000000000000	
DI[70]	23-16	*	XXXXOOXXXXX-X	000000-00000000				000000000000000000000000000000000000000	
LED[40]	28-24	*		0	10		1	1	12
			1						·

6 RUN を押します。測定が開始され、メッセージボックスに"ロジアナ1 測定中 です。"と表示されます。

6 信号発生1 タブをクリックし、ページを切り換えます。

メニューの[ファイル | 開く]を選択し、C:¥work¥T80_sample¥波形¥ T80_io.genを開くと、 信号発生用の波形が表示されます。

🚯 C:¥WOR	K¥T80_sa	imple¥波	形¥T80_io.gen					
ファイル(E)	編集(E)	設定(<u>S</u>)	情報(1)					
データファイル このファイルの	いを開きました クロック周期は4	こ。 40nSですか	、ハートウェアのクロック周り	期25nSで表示l	しています。	Find IP		
ロジアナ1 [信号発生1	プロトコル						
RUN	発生回数	•	発生間隔 250nS	▼ 最大日	時間 64 µ S	選択解除	1 CLOCK	
STOP	x-4 .	×1 _] #±#0m 0	до - ₁₆₄	μ0	juns _	0 ALL CLEAR	
信号名	СН	0	1.25 µ S	2.5 µ S	3.75 µS	5µS	6.25 µ S	7.5
RESET	0							
SW[0]	1							
SW[1]	2							
SW[2]	3							
SW[3]	4							
SW[4]	5							=
SW[5]	6							
	7							
	8							

7 RUN を押します。メッセージボックスに"ロジアナ1 トリガを検出しました。" , "ロジアナ1 データ転送中です。"と表示されます。 信号発生, 測定が終了すると、"ロジアナ1 測定が終わりました。", "信号発生1 信 号発生が終わりました。"と表示されます。 8 ロジアナ 1 タブをクリックし、ページを切り換えると、測定した波形が表示され

ています。

多C:¥WOR ファイル(F)	<mark>K¥T80_s</mark> 編隼(F)	ample 設定	¥波形¥T80_io.g (S) 情報(I)	en				
ロジアナ1 測信号発生1 イ	「定が終わ」 言号発生が	しました 終わり	。ました。			Find	IP	
, [回ジアチ1] (言号発生1) プロト	⊐//					
RUN	測定モート	シング	ル 💌 測定間隔	a 25nS 💌	Ato B 2.825 µ S	A <<-	->> A	HEX
STOP	ズーム	×2	_ 測定時間	85.175 µS	FIND NEXT	в (<<-	-> > 31-0	20C3001E
信号名	СН	トリガ	B 125.4S	25.45) 375.u.S	D 5uS	625.45	75.0
RESETIn	0	∕≖ Rise						
MREQ_n	1	-	พานนั้นนั้นแนนน					าณาน
IO RQ_n	2	-			<u> </u>		1	u 🕂 🛛
RD_n	3	-		บบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบบ		տուրան	າຫານບ່ານບາກກ	ากกกัน
WR_n	4	-		U		U		u
A[100]	15-5	*	090000000000000000000000000000000000000	000000000000000000000000000000000000000	XEXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX	******	000000000000000000000000000000000000000) WERWERE
DI[70]	23-16	*		XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX	000000000000000000000000000000000000000	XXXXEX	Exmoximecram	(É0000000
LED[40]	28-24	*	00	χ.	10	X	11	12 -
			•					<u> </u>

9 RESET 解除後の動作を見るには、Find ボタンを押し、時刻 0uS ヘジャンプしま

す。

FIND	3
 ● 時刻 □ μS ヘジャンプ ○ カーソル □ ヘジャンプ 	
C 時刻 0 μS から後の CH 7-0 が、16進で 1 を探す	
○ 時刻 0 μS から後の比較エラーを探す	
OK キャンセル	

波形画面上で右クリックし、Zoom Inを選ぶと、波形を拡大することができます。

6 C:¥WORI	K¥T80_s	ample	¥波形¥	F80_io.ge	n							
ファイル(E)	編集(<u>E</u>)	設定((<u>S</u>) 情幸	₿(<u>I</u>)								
ロジアナ1 測 信号発生1 作	定が終わり 言号発生が	Jました。 終わりa	。 ました。						Find I	P		
ロジアナ1 作	言号発生1	プロト:	עב									
RUN	測定モード ズーム	シングル	V •	測定間隔 測定時間	25nS	•	AtoB 1.05	μS	A <<	>> A >> 31-	HEX 20C30	01 F
STOP	~ ~	~ 2		MIAC* (TB)	60.170 µ S		FIND	NEXT				
信号名	СН	トリガ 左		-2.5 µS	-1.25	5μS	A C	i	B 1.25μS	2.5 µS	С	3.
RESET_n	0	Rise		1							-	-
MREQ_n	1	-	<u> </u>					<u> </u>	<u>הוה אמה הרותה</u>	າດຕາມການ	านน่านเ	
IO RQ_n	2	-						ZoomI	n			_
RD_n	3	-						Z <u>o</u> om(^{Dut} MMM	ແບບບບ່ານ	าาม่าาม	IUI
WRn	4	-						<u>C</u> ente	r 📃			-
A[100]	15-5	*		1	000			<u>∨</u> All)000000000	000000300000	3XBX <mark>0</mark> 3XBXC	XXX
DI[70]	23-16	*			C3					000003000000000000000000000000000000000	BYBY DEX	XXX
LED[40]	28-24	*					00				(10	- - I
			•									

信号 M1_n の立上り時の DI[7..0]の値を読むと、T80 が実行するのオペコードになって

います。

6 C:¥WORK	¥T80_s	ample	e¥波形¥T80_io.gen
ファイル(<u>E</u>) 絹	編集(<u>E</u>)	設定	<u>?(S)</u> 情報(<u>1</u>)
ロジアナ1 測定 信号発生1 信・	Eが終わ 号発生が	Jました 終わり	ました。
ロジアナ1 信・	号発生1	JDF	עובי
RUN ^測	「定モート	シング	ル 別定間隔 25nS AtoB 1.05 µS A <<>> A HEX
STOP	ズーム	×16	■定時間 85.175 μS FIND NEXT B < <>> 31-0 20C3001 F
信号名	СН	トリガ	A
DEDET		左	0 12bnS 250nS 37bnS 500nS 62bnS 750nS
RESELIN	0	Rise	
MREQ_N		-	
	2	-	
RUIN	3	-	
WR_n	4	-	
A[100]	15-5	*	
DI[70]	23-16	*	
LED[40]	28-24	*	
M1_n	29	-	
IORD	30	-	
IOWR	31	-	<u>♪</u>
			4