

Pocket Logiana

ポケットロジアナ

マニュアル



PL-300 シリーズ対応

Ver.5.40 対応

2008/3/7 版

有限会社 エムビーウェア

目次

第 1 章 導入編	
導入編1. 梱包内容をお確かめください	1
導入編2. お客様に用意していただくもの	1
導入編3. ユーザー登録	2
導入編4. 注意事項	2
導入編5. 各部の名称	3
導入編6. ソフトウェアのインストール	4
導入編7. USBドライバのインストール	6
7.1 Windows XP の場合	6
7.2 Windows 2000 の場合	9
7.3 Windows Vista の場合	13
導入編8. 動作確認	16
第 2 章 チュートリアル編	
チュートリアル編 1. テストクリップを接続する	21
チュートリアル編 2. 信号の作成と測定	22
第 3 章 応用編	
応用編 1. ロジアナ IP(ユーザーロジアナ)の動作確認	25
1.1 ポケットロジアナとお客様開発の基板との接続	25
1.2 回路図の作成、ピン割当、コンパイル、ダウンロード	28
1.3 動作確認	31
応用編 2. ロジアナ IP(ユーザーロジアナ)で FPGA の内部信号を測定する	33
応用編 3. 各種 IP モジュールを組み合わせる	37
応用編 4. 外部からクロックを供給する	44
応用編 5. VHDL/VerilogHDL からロジアナ IP(ユーザーロジアナ)を使う	47
応用編 6. Edge Sampling のロジアナ IP(ユーザーロジアナ)を使う	52

リモートロジアナマニュアル.pdf は、ポケットロジアナソフトをインストールしたパソコンの C:\¥Program Files¥PocketLogiana¥Manual フォルダに入っています。

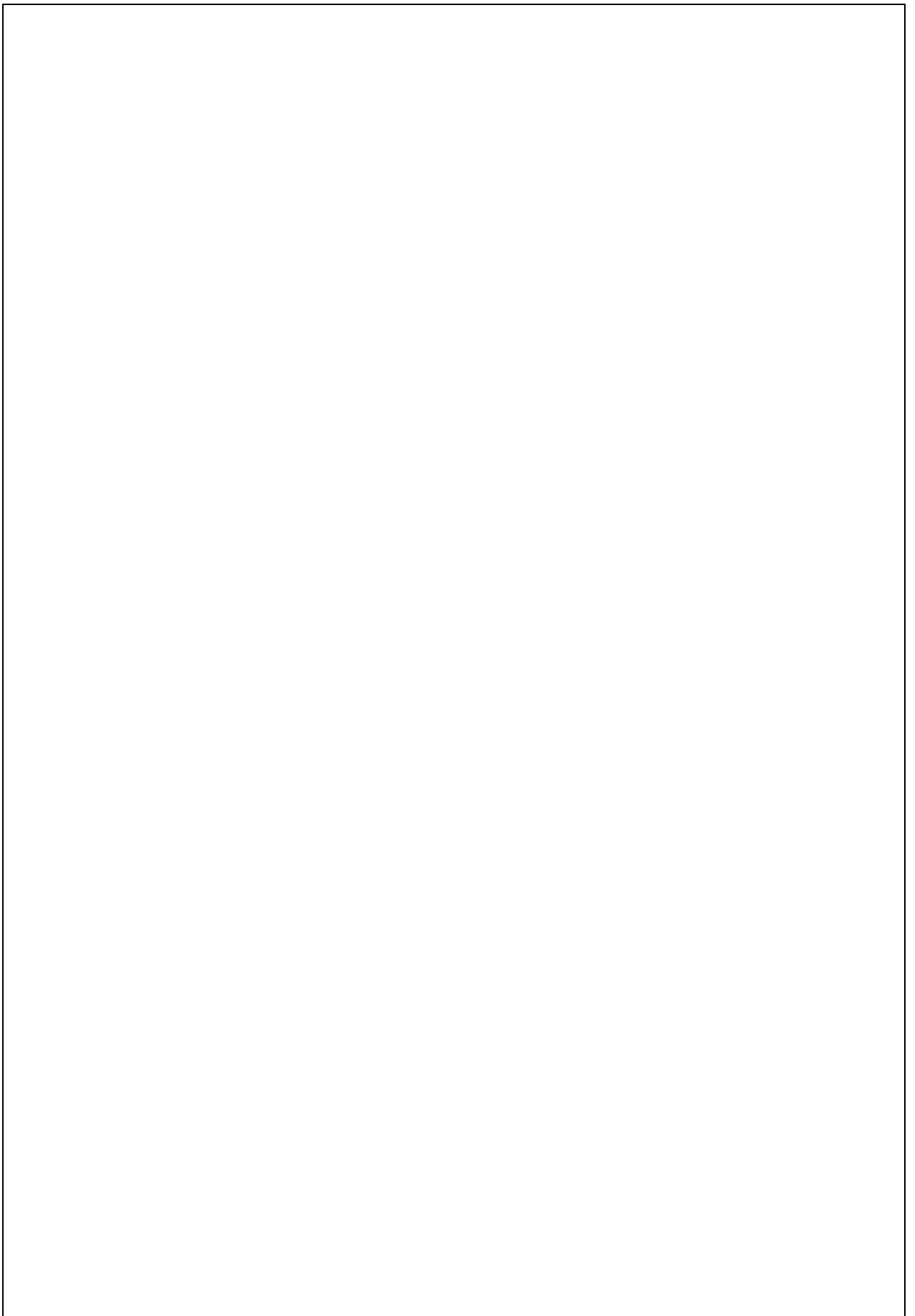
Xilinx 社の Spartan-3 でロジアナ IP を使う方法は、同じフォルダの Spartan-3 対応ロジア

ナ IP の動作確認.pdfを参照してください。

— 第 1 章 —

導入編

導入編 1. 梱包内容をお確かめください.....	1
導入編 2. お客様に用意していただくもの.....	1
導入編 3. ユーザー登録.....	2
導入編 4. 注意事項.....	2
導入編 5. 各部の名称.....	3
導入編 6. ソフトウェアのインストール.....	4
導入編 7. USBドライバのインストール.....	6
7.1 Windows XP の場合.....	6
7.2 Windows 2000 の場合.....	9
7.3 Windows Vista の場合.....	13
導入編 8. 動作確認.....	16



導入編 1. 梱包内容をお確かめください

梱包を開けたら、購入品が揃っているかご確認ください。万一、品が足りない場合、破損していた場合は、お手数ですが弊社（有）エムビーウェアまでご一報をお願い致します。

- ポケットロジアナ本体
- ゴム足(本体と同じ袋に入っています)
- テストクリップケーブル
(PL-350E2 では 2 セット、PL-350E1 では 1 セット、PL-350N では無し)
- USBケーブル
- フラットケーブル ※ロジアナ IP(ユーザーロジアナ)用
- 同軸ケーブル(50Ω)、同軸コネクタ(MCX タイプ)
- マニュアル ※ただいまご覧になっているこの冊子です。
- CD-ROM
- 保証書

導入編 2. お客様に用意していただくもの

(1)PC/AT 互換機(DOS/V パソコン)

USB2.0 でのご利用をお薦めします。

(2)Windows 2000, XP, Vista

Windows 98, 98SE, Me はサポートしていません。

(3)ロジアナ IP(ユーザーロジアナ)を使用する場合、下記の FPGA 開発ソフトおよびダウンロードケーブル(ByteBlasterMV など)が必要です。

MAX+PLUS II BASELINE または Quartus II Web Edition(無料)

MAX+PLUS II または Quartus II(有料)

無料ソフトは、下記の日本アルテラ社のホームページよりダウンロードできます。

http://www.altera.co.jp/support/software/download/sof-download_center.html

有料ソフトは下記のアルテラ社の代理店で扱っています。

(株)アルティマ <http://altimanet.com/>

導入編 3. ユーザー登録

お客様のサポートを円滑に行うため、当社ではユーザー登録をオンラインで行っております。当社のホームページの「ユーザー登録」の文字リンクから、ユーザー登録画面にお入りください。

ユーザー登録された方には、ホームページの「ソフトウェアアップグレード」のページに入るためのパスワードを送付いたします。

<http://www.mbeware.com>

導入編 4. 注意事項

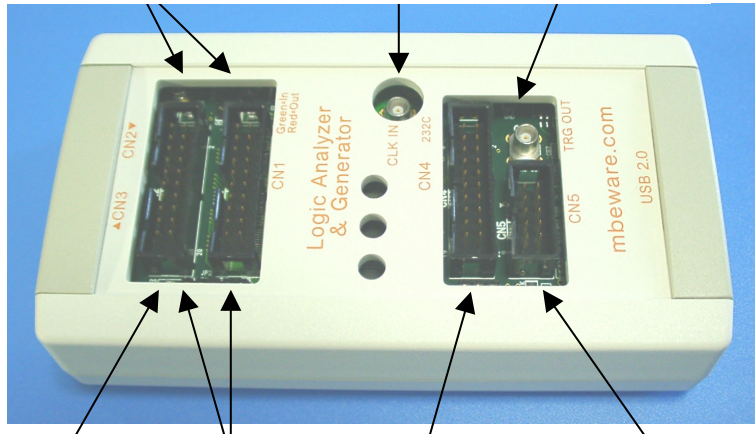
1. ロジックアナライザの入力電圧範囲は $-0.5V \sim 5.5V$ です。5nS以下のパルス幅では $-1.0V \sim 6.0V$ まで許容できます。入力電圧範囲を超える電圧をロジックアナライザのテストクリップに加えないでください。
2. 信号発生器(CN3)のテストクリップ同士を接続しないでください。信号発生器のテストクリップをICの出力端子や電源に接続しないでください。
3. ポケットロジアナの基板にはBGA(Ball Grid Array)のICを使用しています。CN1, CN2, CN4(20ピンヘッダ)、CN5(10ピンヘッダ)、CN6, CN7(同軸コネクタ)へのケーブルの抜き差しするとき、必要以上の力を加えないでください。
4. ACアダプタは不要です。接続しないでください。

導入編 5. 各部の名称

CN2, CN1 LED
入力可能なとき緑点灯

CN6
外部クロック
入力

CN7
トリガ出力
(未サポート)



側面の CN3 LED
出力で赤点灯

CN2, CN1
ロジアナ
入力

CN4
232C レベル
入力

CN5
ロジアナ IP 用フラット
ケーブルを接続



CN3 パターンジェネレータ出力



AC アダプタ
(未使用)

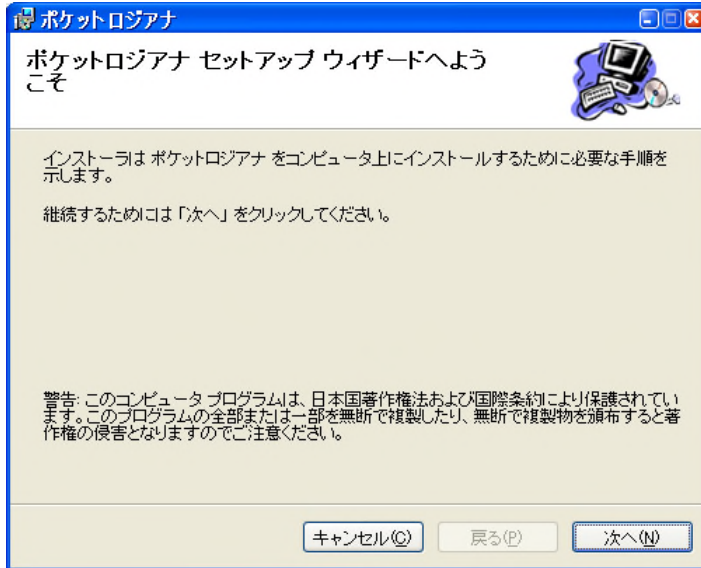
USB コネクタ

導入編 6. ソフトウェアのインストール

1 ポケットロジアナ CD-ROM を、CD-ROM ドライブに入れます。この時点では、ポケットロジアナは、**接続していません**。

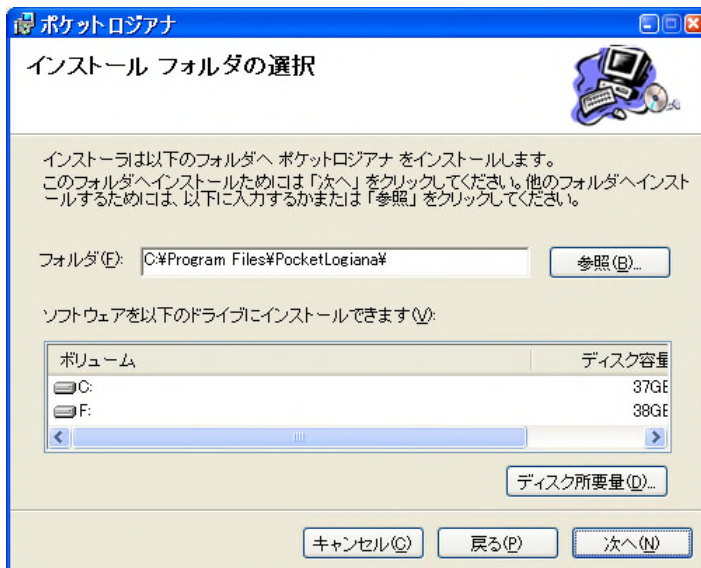
CD-ROM 内のフォルダ ¥Windows_2000_XP_Vista ¥Setup 中の **PocketLogiana_2000_XP_Vista.msi** をダブルクリックします。

2 **次へ** を押します。



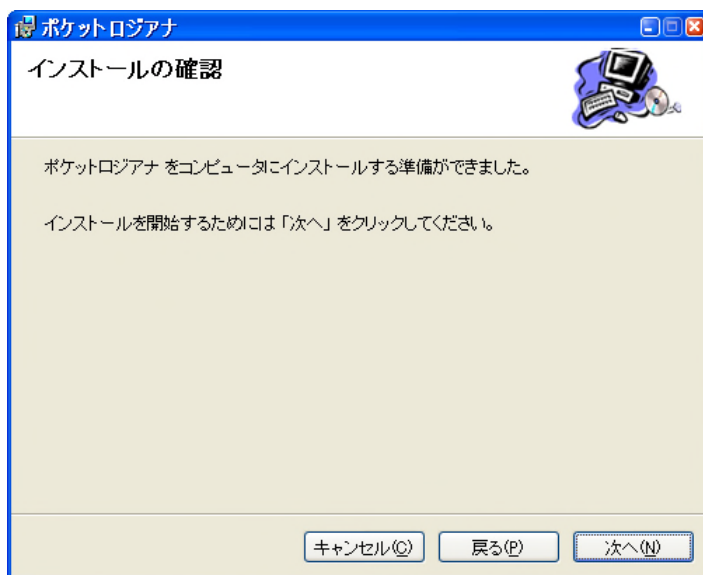
【1-5-2】

3 **次へ** を押します。



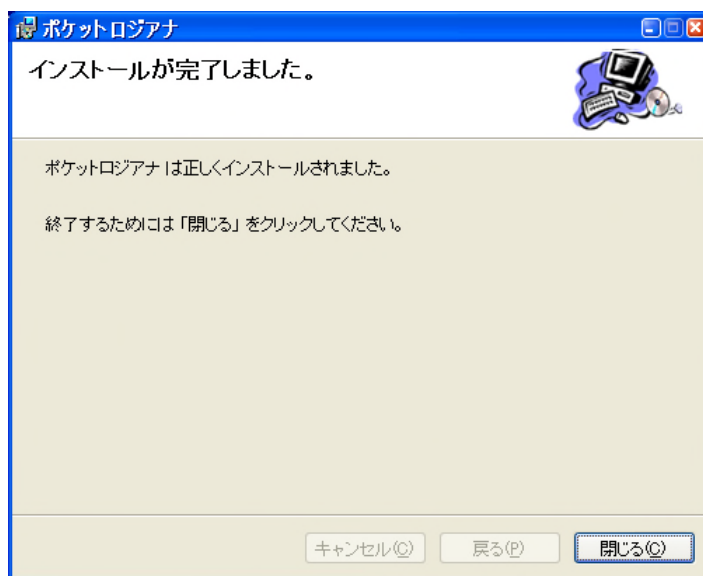
【1-5-3】

4 「次へ」を押します。



【1-5-4】

5 「閉じる」を押します。



【1-5-5】

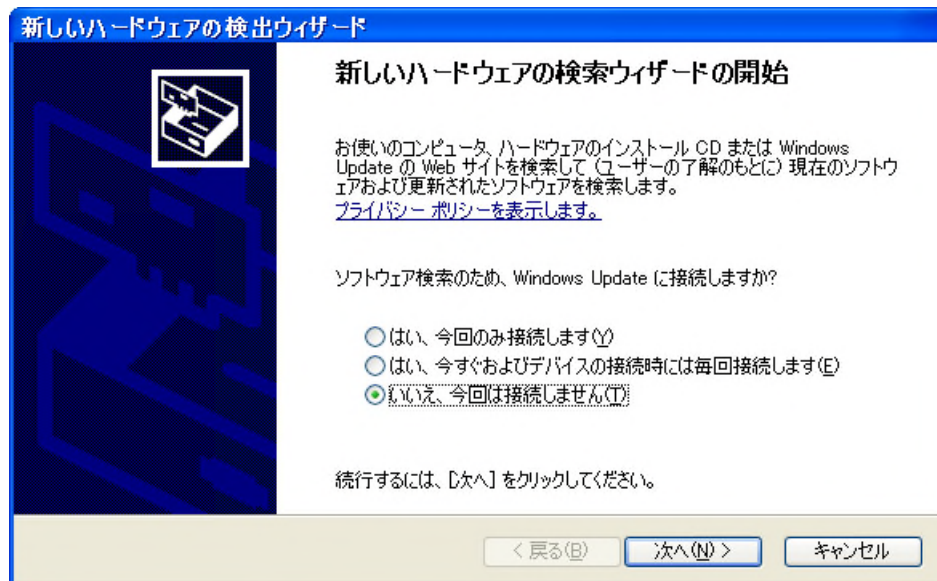
導入編 7. USBドライバのインストール

7.1 Windows XP の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

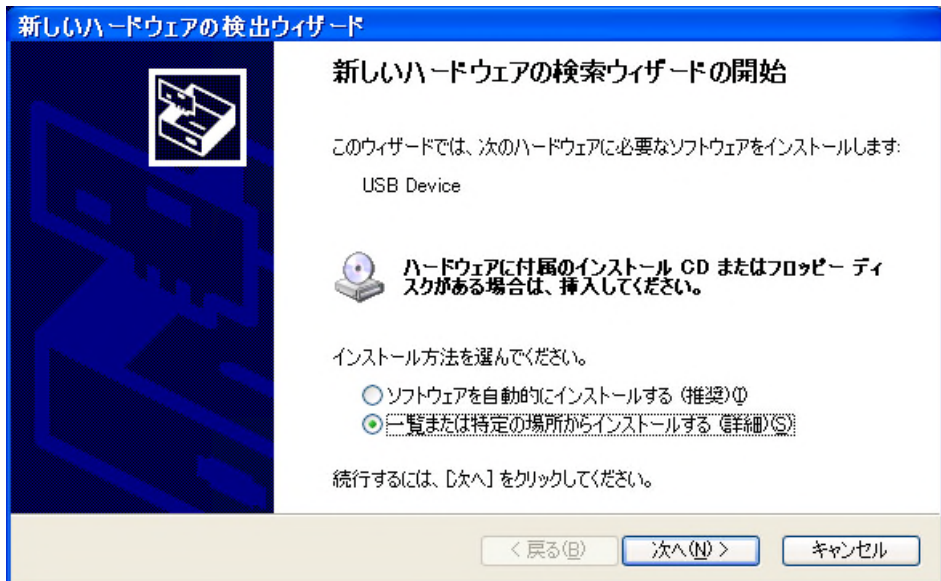
注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。
また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 以下のようにウィザード画面が表示されます。“いいえ、今回は接続しません”にチェックを入れ、**次へ**を押します。



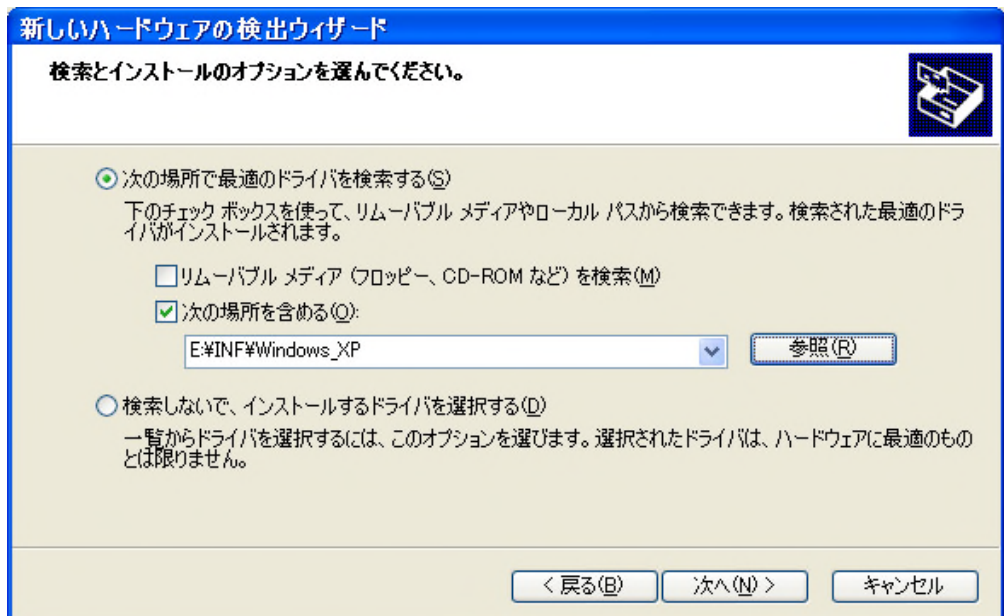
[1.6.1.1]

3 以下のようにウィザード画面が表示されます。“一覧または特定の場所からインストールする”にチェックを入れ、**次へ**を押します。



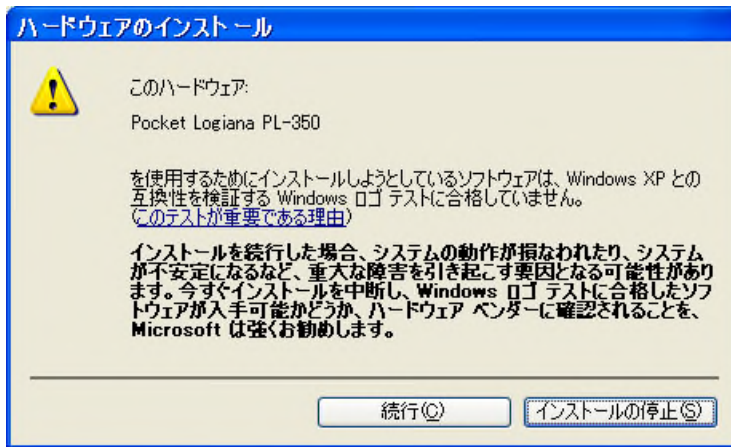
[1.6.1.2]

- 3 CD-ROM ドライブにポケットロジアナの CD-ROM を入れます。“次の場所で最適なドライバを検索する”、および“次の場所を含める”にチェックを入れ、CD-ROM 内のフォルダ¥INF¥Windows_XP_Vista を指定します。次へを押します。



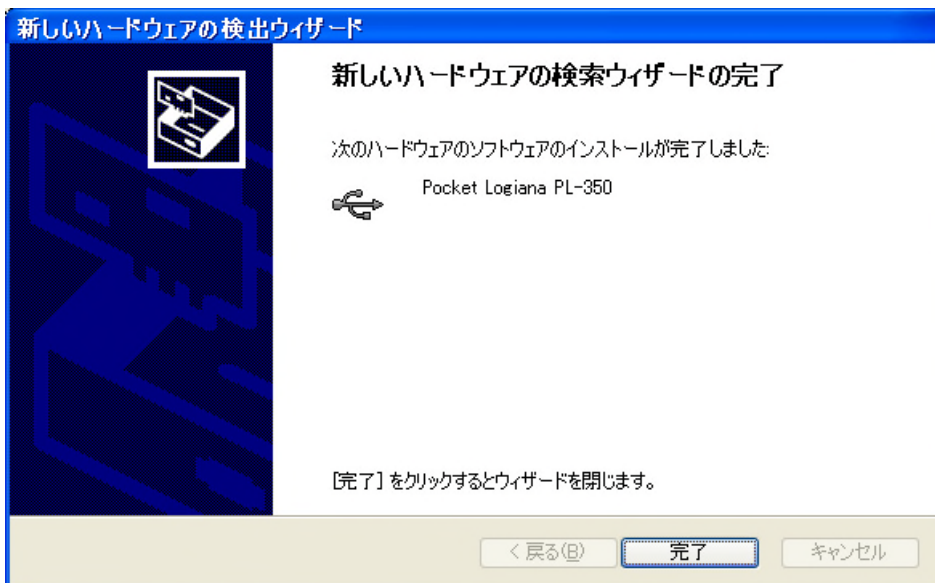
[1.6.1.3]

- 4 次のようなメッセージが出る場合は、**続行**を押します。



[1.6.1.4]

- 5 以下のようにメッセージが表示されます。**完了**を押します。



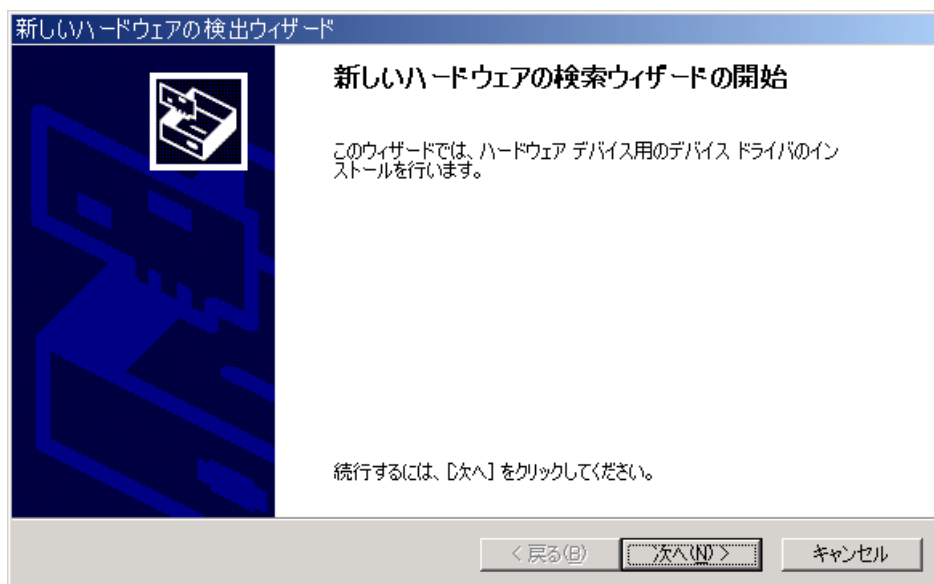
[1.6.1.5]

7.2 Windows 2000 の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。
また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 **次へ** を押します。



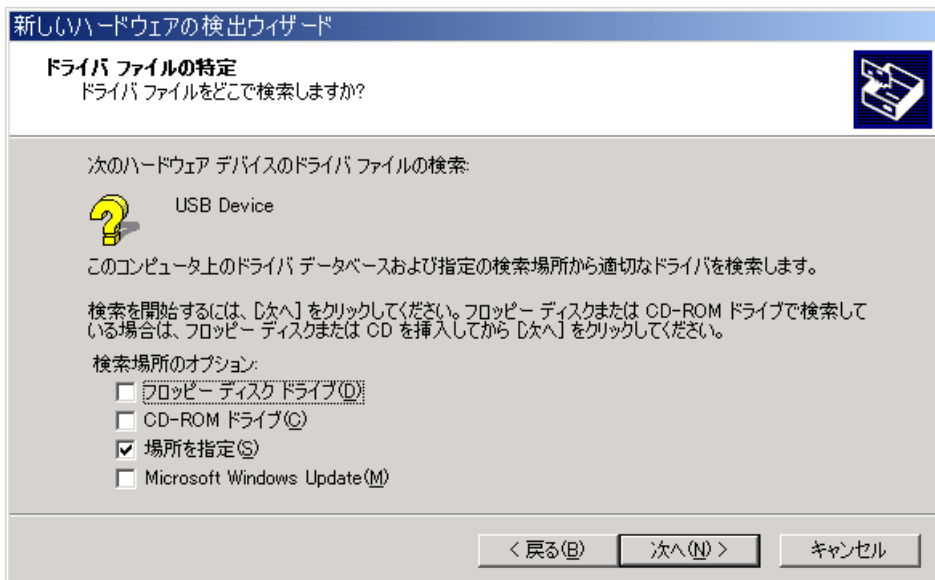
[1.6.2.1]

- 3 “デバイスに最適なドライバを検索する”にチェックを入れ、**次へ**を押します。



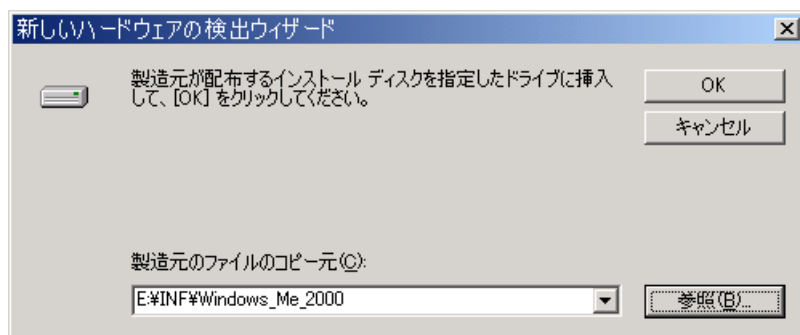
[1.6.2.2]

- 4 CD-ROM ドライブにポケットロジアナの CD-ROM を入れます。“場所を指定”にチェックを入れ、**次へ**を押します。



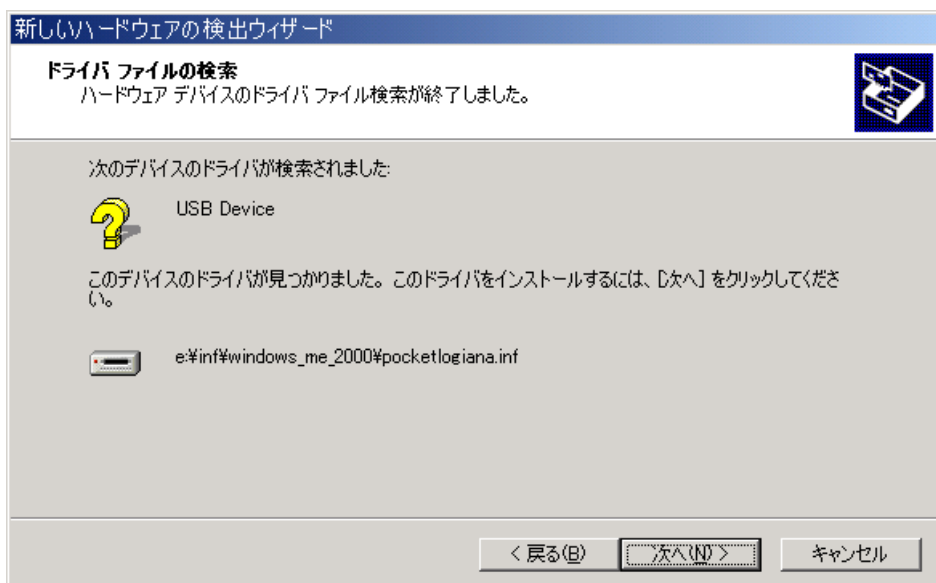
[1.6.2.3]

- 5 CD-ROM 内のフォルダ¥INF¥Windows_2000 を指定します。OK を押します。



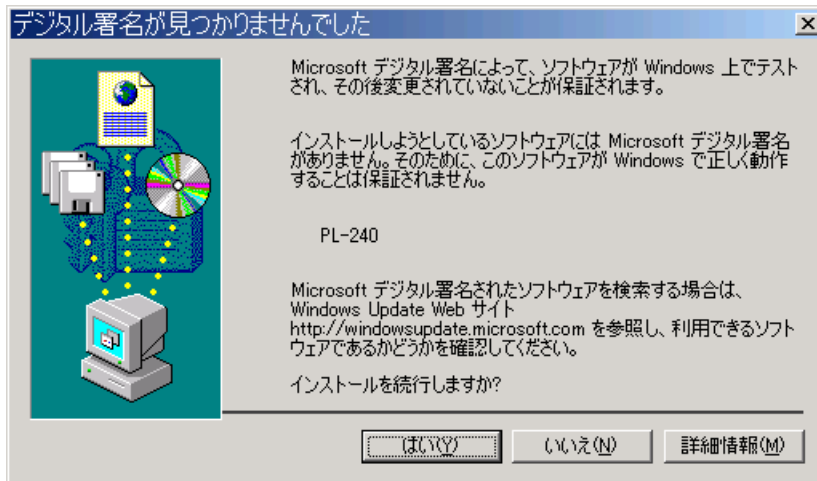
[1.6.2.4]

- 6 次へ を押します。



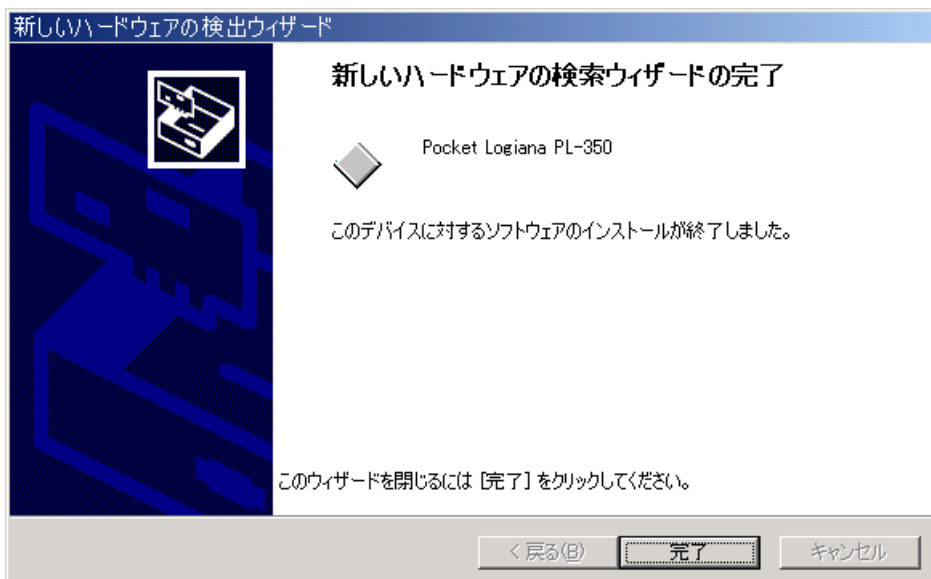
[1.6.2.5]

- 7 次のようなメッセージが出る場合は、**はい**を押します。



[1.6.2.6]

- 8 以下のようにメッセージが表示されます。**完了**を押します。



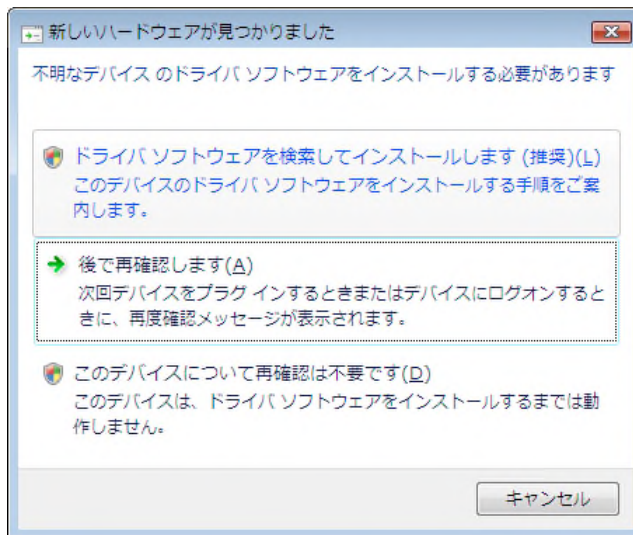
[1.6.2.7]

7.3 Windows Vista の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

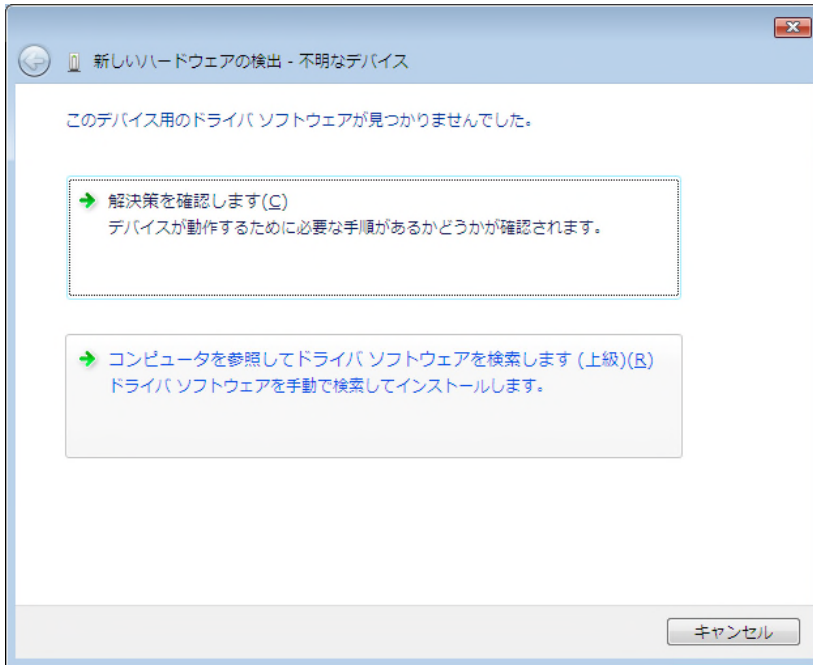
注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 “ドライバソフトウェアを検索してインストールします(推奨)”を選択します。

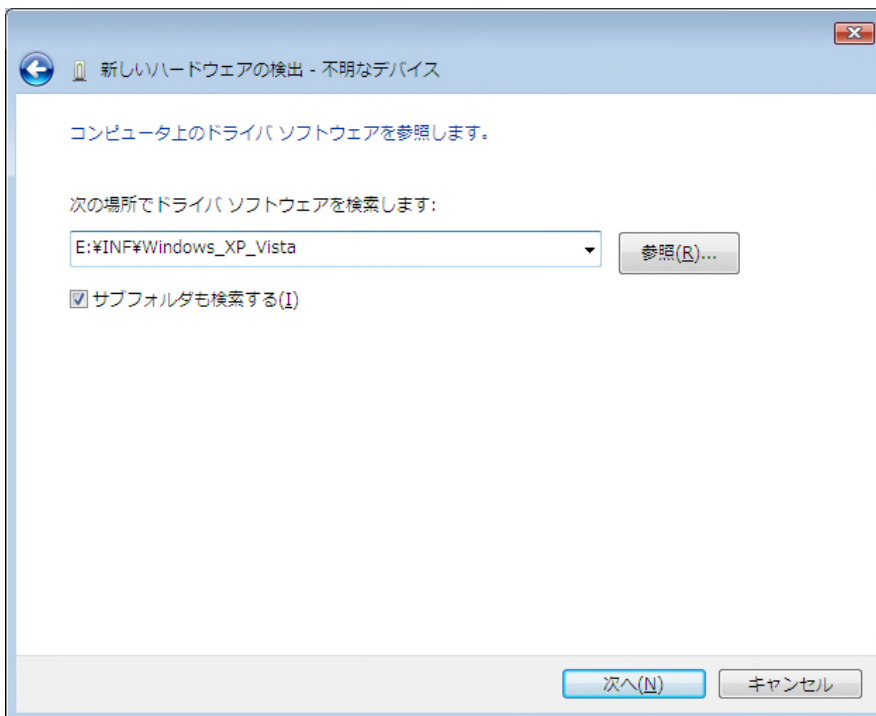


[1.6.3.1]

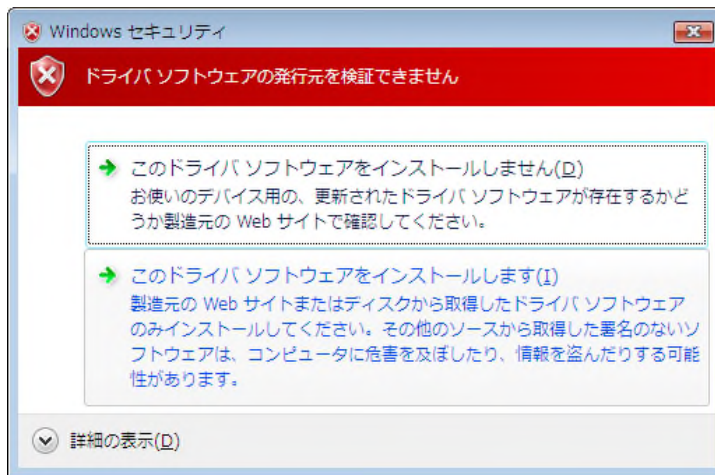
3 ”コンピュータを参照してドライバソフトウェアを検索します(上級)”を選択します。



4 CD-ROM ドライブにポケットロジアナの CD-ROM を入れます。CD-ROM 内のフォルダ¥INF¥Windows_XP_Vista を指定します。次へを押します。



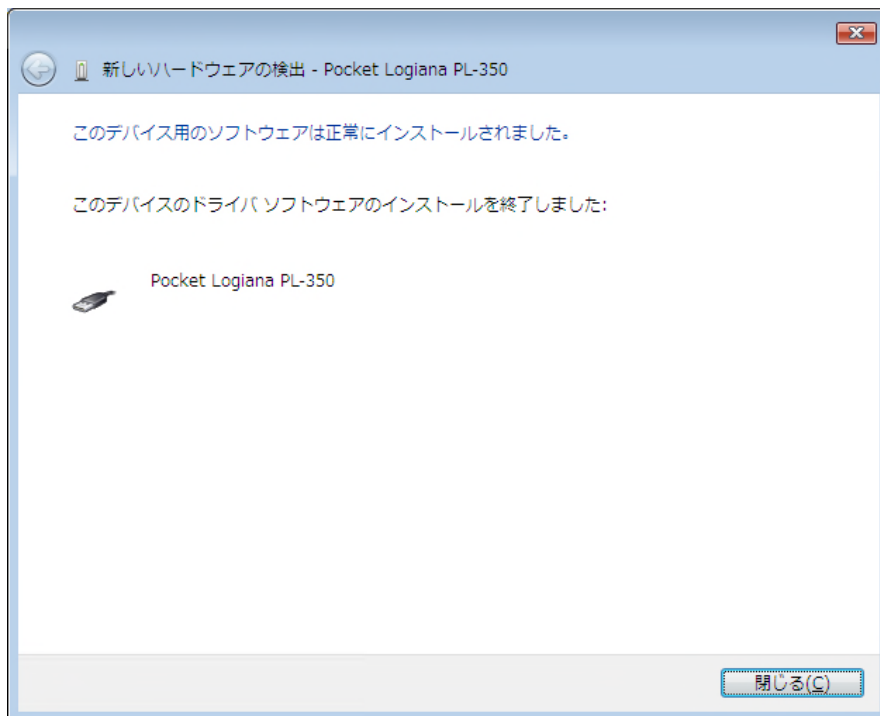
- 5 ”このドライバソフトウェアをインストールします”を選択します。



[1.6.3.3]

- 6 以下のようにメッセージが表示されると、インストール完了です。

閉じる を押します。



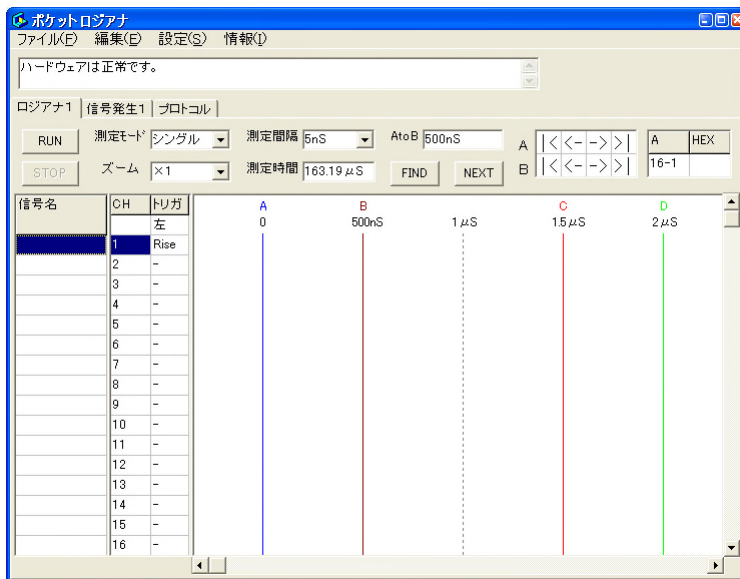
導入編 8. 動作確認

1 スタートメニューからポケットロジアナを選び、ソフトを立ち上げます。ダウンロードが始まり、3 秒程で終了します。



【1-7-1】

2 ポケットロジアナの CN1 横の緑色 LED が点灯します。メッセージボックスに“ハードウェアは正常です”と表示されます。



【1-7-2】

参考 エラーメッセージが表示された場合はリファレンス編 7 トラブルシューティングを参照してください。

- 3 メニューの[設定 | ハードウェア]を選択し、モードを【内部折返しテスト】にします。
 OK を押します。ダウンロードが始まり、数秒で終了します。

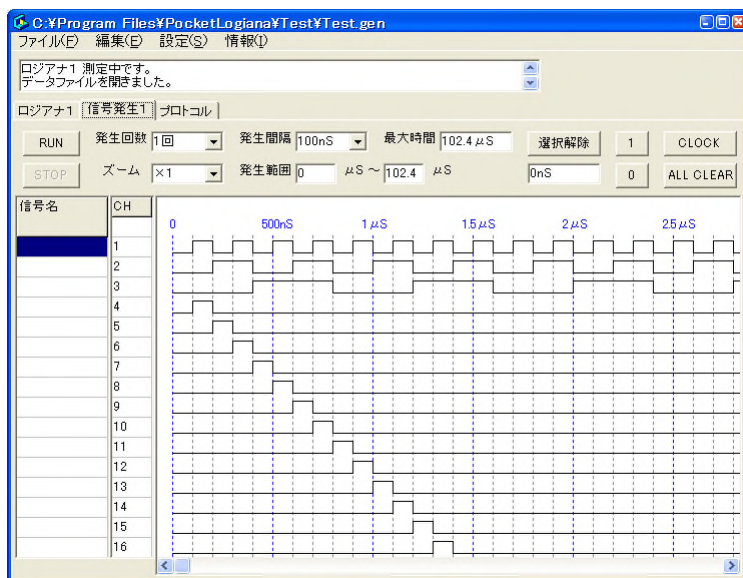


【1-7-3】

- 4 RUN を押します。測定が開始され、メッセージボックスに“ロジアナ 1 測定中です。”と表示されます。

- 5 信号発生 1 タブをクリックし、ページを切り換えます。

メニューの[ファイル | 開く]を選択し、C:\Program Files\PocketLogiana\Test\Test.gen を開くと、信号発生用の波形が表示されます。



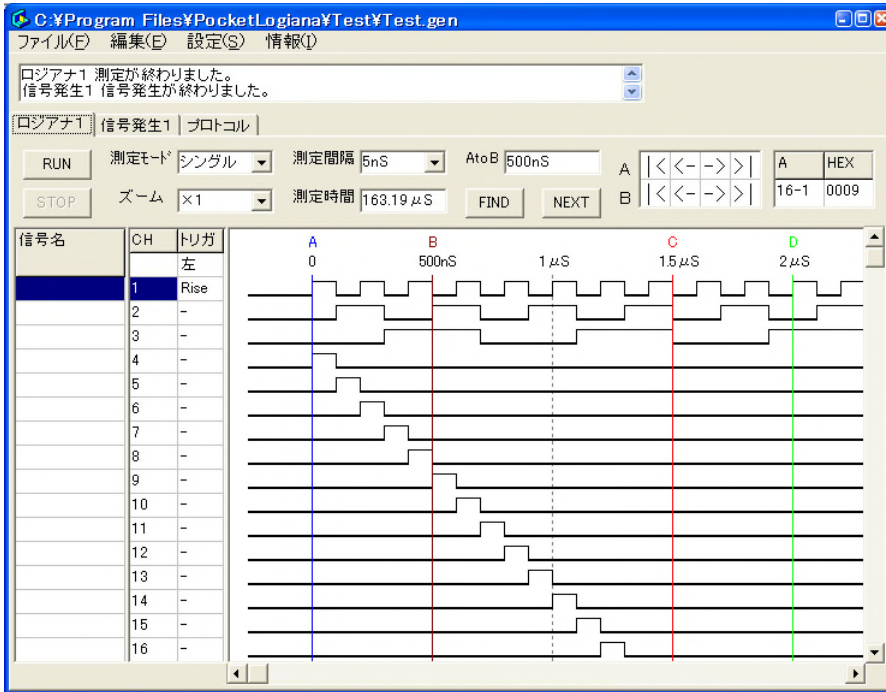
【1-7-4】

7 **RUN** を押します。メッセージボックスに“ロジアナ 1 トリガを検出しました。”

，“ロジアナ 1 データ転送中です。”と表示されます。

信号発生，測定が終了すると，“ロジアナ 1 測定が終わりました。”，“信号発生 1 信号発生が終わりました。”と表示されます。

8 **ロジアナ 1** タブをクリックし、ページを切り換えると、測定した波形が表示されています。



【1-7-5】

9 メニューの[設定 | ハードウェア]を選択し、モードを【内部折り返しテスト】以外に戻します。OK を押します。ダウンロードが始まり、3 秒程で終了します。



【1-7-6】

これで動作確認は終了です。測定を行うには「チュートリアル編 1 テストクリップを接続する」を行ってください。

－ 第 2 章 －

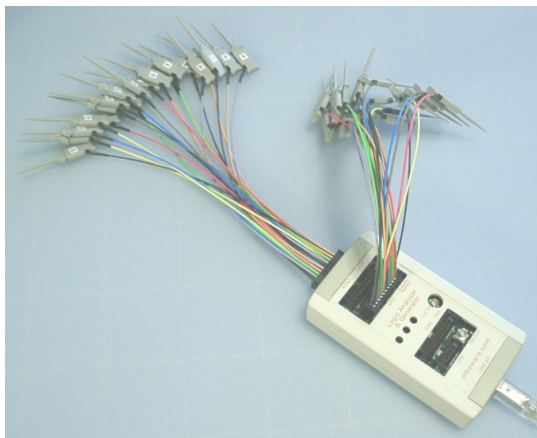
チュートリアル編

チュートリアル編 1. テストクリップを接続する	21
チュートリアル編 2. 信号の作成と測定	22

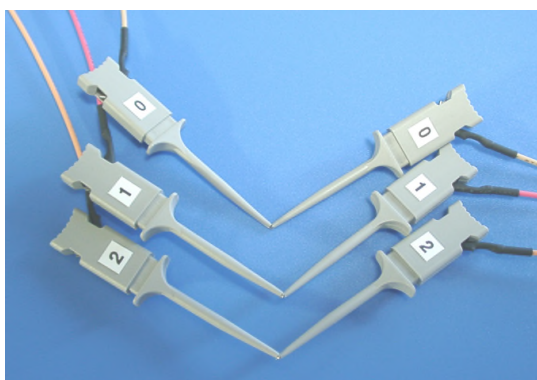
チュートリアル編 1. テストクリップを接続する

PL-320E ではこのテストができません。適当な信号を測定してみてください。

1 テストクリップを接続します。テストクリップケーブルを、ポケットロジアナ本体のコネクタ CN1 に挿します。もう 1 本のテストクリップケーブルを、ポケットロジアナ本体側面のコネクタ CN3 に挿します。

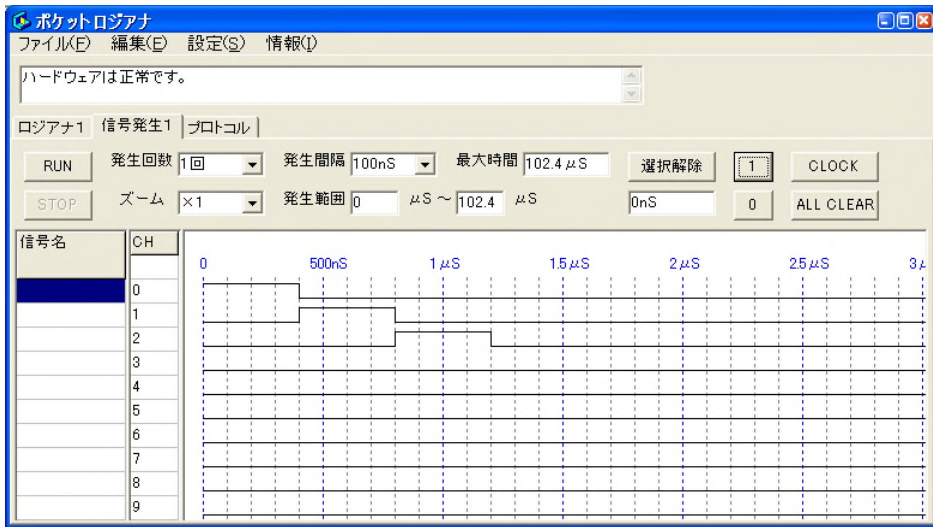


CN1 に挿したテストクリップと、CN3 に挿したテストクリップの 同じ番号同士 を接続します。番号 0, 1, 2 の 3 本のみ接続すれば OK です。

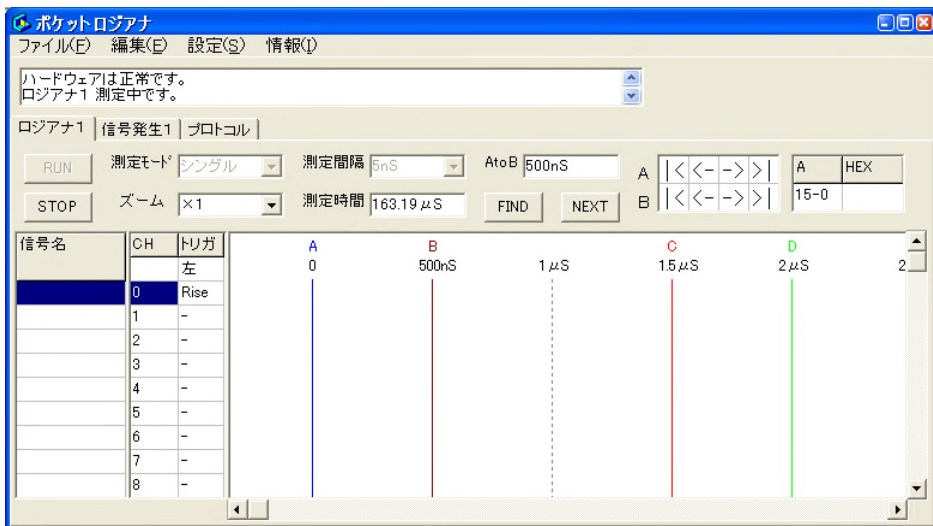


注意！ 本体のコネクタ CN3 に挿したテストクリップ同士を接続しないでください。故障の原因になります。

- 3 **1** を押すと選択部分が 1 の線に変わり波形が表示されます。
 (選択後、**0** を押すと、0 の線に変わります)



- 4 **ロジアナ 1** に切り換え、**RUN** を押します。測定が開始され、メッセージボックスに“ロジアナ 1 測定中です。”と表示されます。



- 5 **信号発生 1** に切り換え、**RUN** を押します。信号発生が開始され、測定が終了すると、“ロジアナ 1 測定が終わりました。”と表示されます。

6

ロジアナ 1 に切り換えます。測定された信号が波形で表示されています。



— 第 3 章 —

応用編

応用編 1. ロジアナ IP(ユーザーロジアナ)の動作確認	25
1.1 ポケットロジアナとお客様開発の基板との接続	25
1.2 回路図の作成、ピン割当、コンパイル、ダウンロード	28
1.3 動作確認	31
応用編 2. ロジアナ IP(ユーザーロジアナ)で FPGA の内部信号を測定する	33
応用編 3. 各種 IP モジュールを組み合わせる	37
応用編 4. 外部からクロックを供給する	44
応用編 5. VHDL/VerilogHDL からロジアナ IP(ユーザーロジアナ)を使う	47
応用編 6. Edge Sampling のロジアナ IP(ユーザーロジアナ)を使う	52

応用編 1. ロジアナ IP(ユーザーロジアナ)の動作確認

Xilinx 社の Spartan-3 でロジアナ IP を使う方法は、ポケットロジアナソフトをインストールしたパソコンの C:\Program Files\PocketLogiana\Manual フォルダの「Spartan-3 対応ロジアナ IP の動作確認.pdf」をご覧ください。

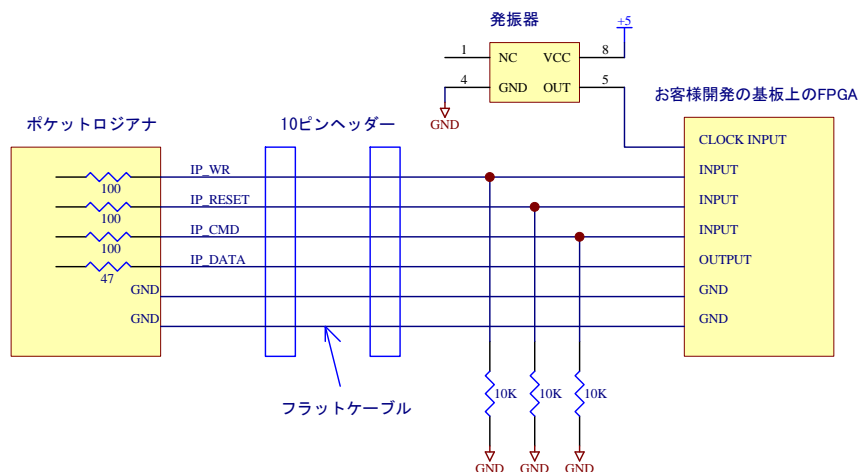
1.1 ポケットロジアナとお客様開発の基板との接続

ポケットロジアナをお客様開発の基板上的 FPGA と接続します。FPGA は、FLEX10K、ACEX、APEX、Cyclone が使用できます。ポケットロジアナ上部の 10 ピンコネクタに標準添付のフラットケーブルを接続し、もう一端は、お客様開発の基板上に設けた 10 ピンヘッダーに接続します。



【3-1-1-1】

ポケットロジアナとお客様開発の基板上的 FPGA との接続は、下記のように信号 4 本と GND2 本を接続します。FPGA 側は、任意のユーザー I/O ピンを使えます。信号 IP_WR, IP_RESET, IP_CMD のプルダウン抵抗 10K オームは、お客様開発の基板上に取り付けてください。



【3-1-1-2】

下記にフラットケーブルの10ピンコネクタの信号配置および、お客様開発の基板上に設ける10ピンヘッダーの信号配置を示します。10ピンコネクタ側のIP_STATUS信号は使用しません。10ピンコネクタの信号入出力方向は、パッシブシリアルのコネフィギュレーションポートやJTAGポート（いずれも、ByteBlasterMVを使ってダウンロードを行うポート）と合わせてあります。

●10ピンコネクタ

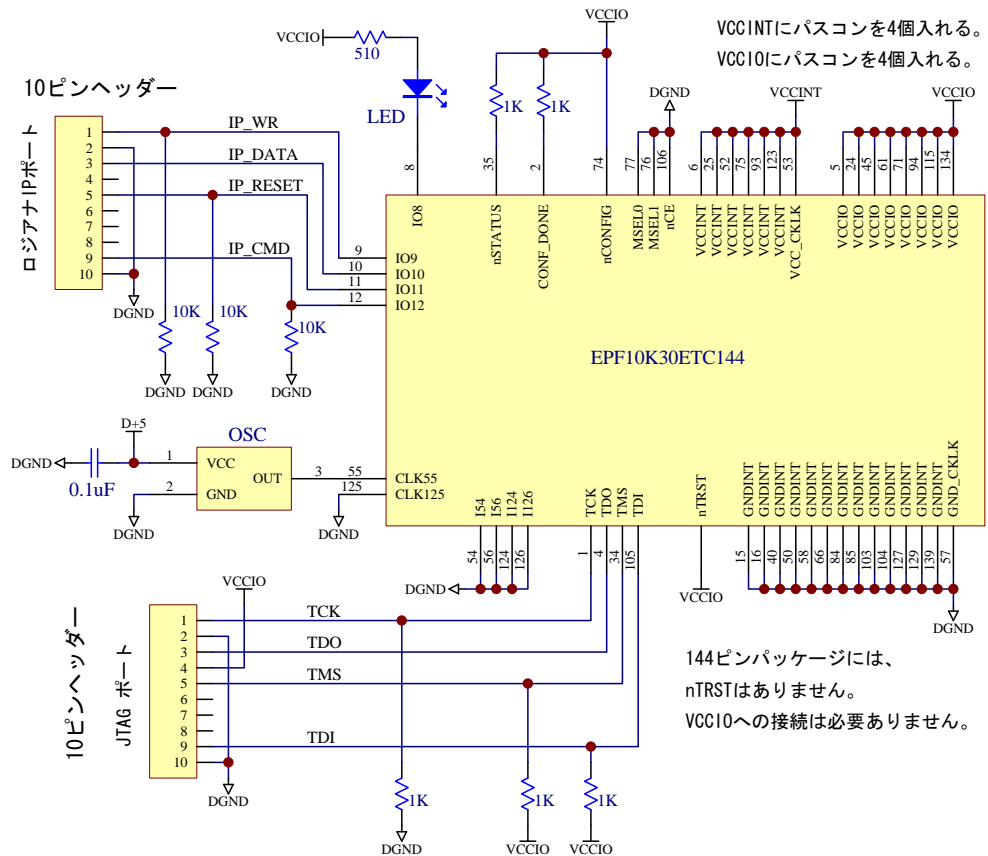
ピン番号	信号名	ポケットロジアナから見た入出力
1	IP_WR	Output
2	GND	
3	IP_DATA	Input
4		No Connect
5	IP_RESET	Output
6		No Connect
7	IP_STATUS	Input
8		No Connect
9	IP_CMD	Output
10	GND	

●10ピンヘッダー

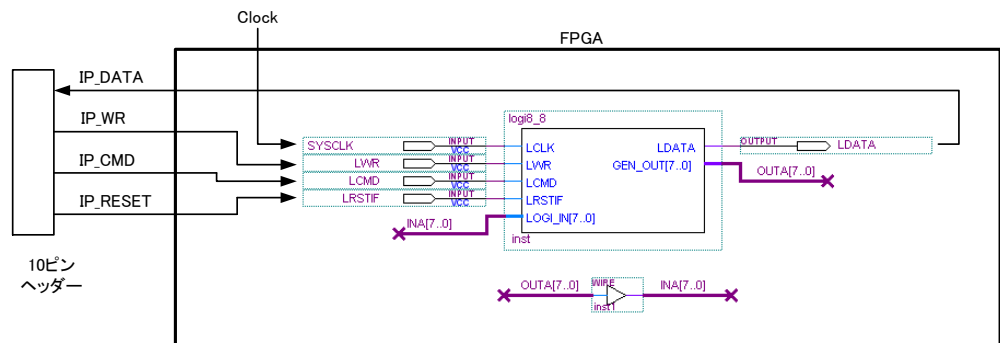
ピン番号	信号名	お客様開発の基板から見た入出力
1	IP_WR	Input
2	GND	
3	IP_DATA	Output
4		No Connect
5	IP_RESET	Input
6		No Connect
7		No Connect
8		No Connect
9	IP_CMD	Input
10	GND	

ロジアナ IP (ユーザーロジアナ) を動作させるための最小限の接続を示します (回路図と接続イメージ)。FPGA の使わないクロック入力ピンおよび入力専用ピンは GND に接続します。LED は、コンフィギュレーションの確認用です。ダウンロード後、点灯します。JTAG ポートへのダウンロードは Byte BlasterMV で行います。

回路図



接続イメージ

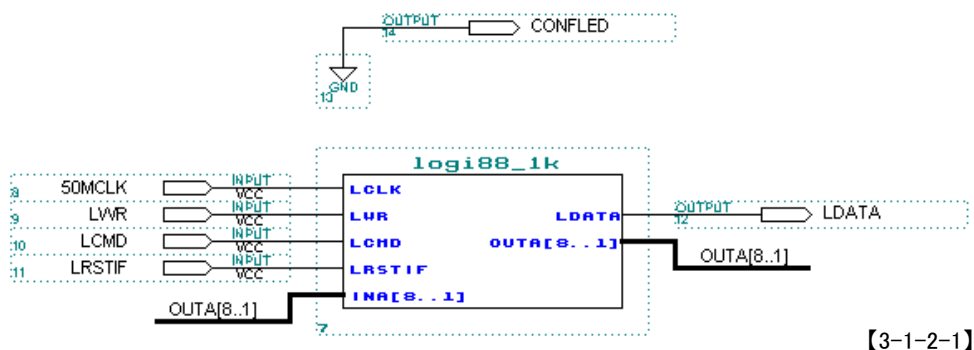


1.2 回路図の作成、ピン割当、コンパイル、ダウンロード

この項は、デバイスが FLEX10K, ACEX, APEX の場合です。Cyclone の場合は、「応用編 5. VHDL/VerilogHDL からロジアナ IP (ユーザーロジアナ) を使う」に進んでください。

1 アルテラ社の FPGA 開発ソフト MAX+plus II を起動します。

2 メニューの [File | Open] を選択すると、[Open] ダイアログボックスが表示されますので、“Show in Files List” — 《Graphic Editor files》 をクリック後、C:\ProgramFiles\PocketLogiana\Logiana IP\Manual Ouyouhen\Test\usrlogi.gdf を開きます。



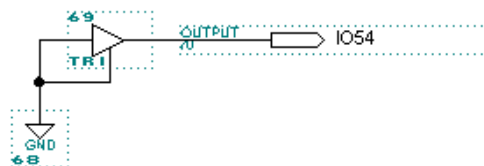
CONFLED は、FPGA のコンフィグレーション終了時に LED を点灯するための出力ピンです。測定とは関係ありません。

注意!

お客様開発の基板上の FPGA が、他の IC の出力と接続している場合、回路の修正が必要です。

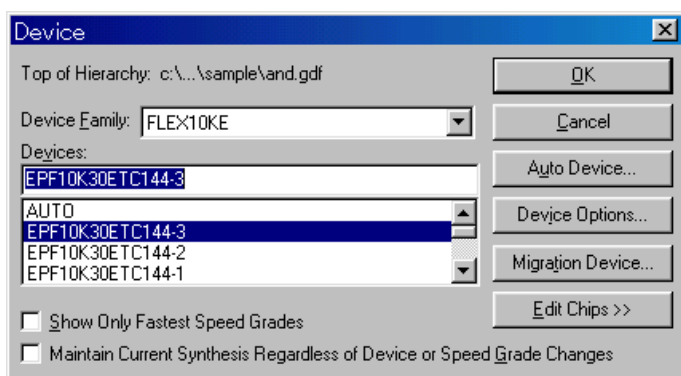
MAX+plus II では、他の IC の出力と接続している FPGA のピンについて、回路の中で図のように処理し、ピンを Hi-Z にします。

Quartus II では、INPUT ピンの指定をします。



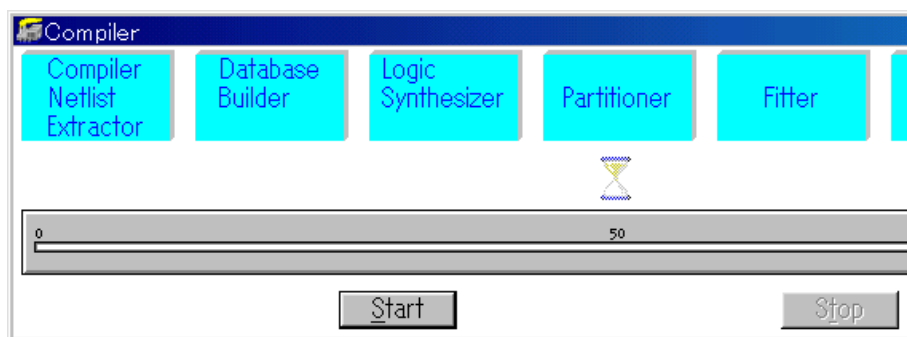
3 メニューの [File | Project | Set Project to Current File] を行います。

- 4 メニューの [Assign | Device] を選択し、お客様開発の基板に搭載してある FPGA を選びます。



【3-1-2-2】

- 5 メニューの [MAX+plus II | compiler] を選択します。
[コンパイル]画面が表示されますので、**Start** を押します。コンパイルが始まり、論理的なチェックが行われます。



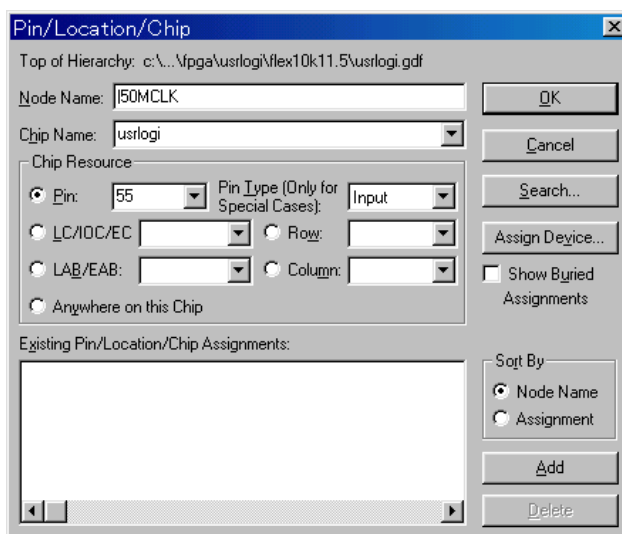
【3-1-2-3】

- 6 エラーがなければ [MAX+plus II - Compiler] ダイアログボックスが表示されますので **OK** を押します。



【3-1-2-4】

7 メニューの [Window | 1 usrlogi.gdf-Graphic Editor] を選択し、usrlogi.gdf 画面に戻ります。入力端子 50MCLK の上で右クリックし、[Assign | Pin/Location/Chip] を選びます。クロックを入力するピン番号を Pin の欄に記入します。同様にして、IP_WR, IP_CMD, IP_RESET, IP_DATA, CONFLED について、ピン番号を入力します。



【3-1-2-5】

8 メニューの [MAX+plus II | compiler] を選択し、再度コンパイルします。

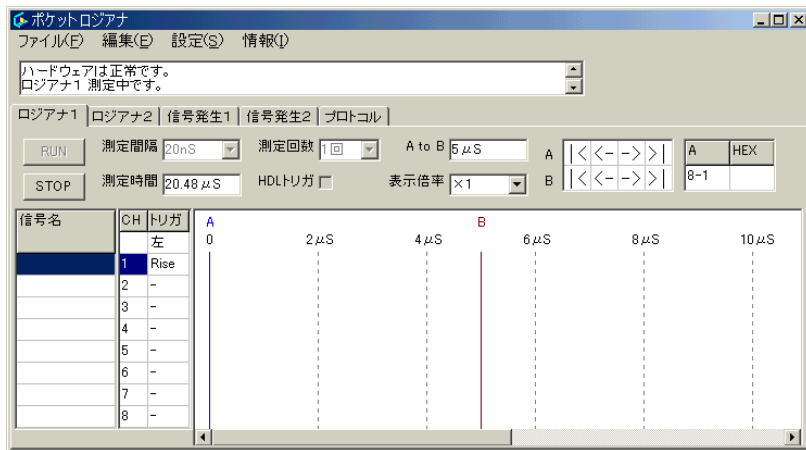
9 お客様開発の基板に、ダウンロードケーブル Byte Blaster MV を接続し、コンパイルしてできたファイルを FPGA にダウンロードします。

ダウンロードの方法については、MAX+plus II および ByteBlasterMV のマニュアルを参照してください。

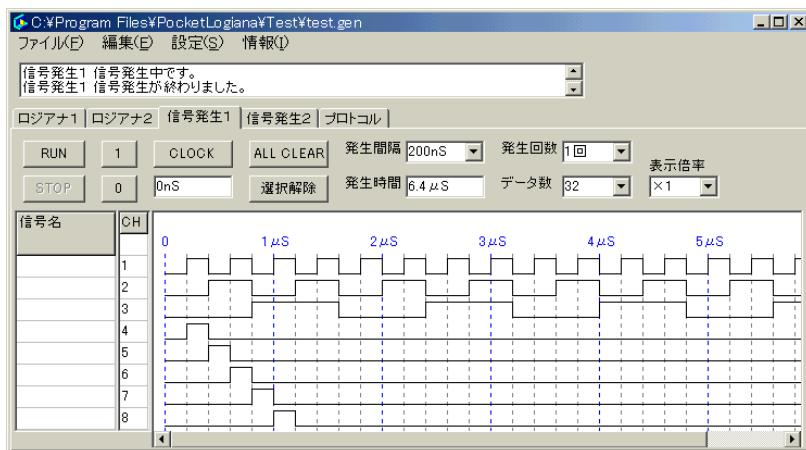
1.3 動作確認

1 ポケットロジアナを起動します。

ロジアナおよび信号発生がそれぞれ 2 つあります。ロジアナ 2 および信号発生 2 は、テストクリップを使って測定する本体ロジアナ・パターンジェネレータです。ロジアナ 1 および信号発生 1 が、ロジアナ IP・パターンジェネレータ IP です。ロジアナ 1 のページの **RUN** を押します。



2 **信号発生 1** を押します。メニュー[ファイル | 開く]を選択し、C:\Program Files\PocketLogiana\Test\Test.gen を開くと、信号発生用の波形が表示されます。**RUN** を押します。



3

ロジアナ1を押します。下図の波形が表示されます。

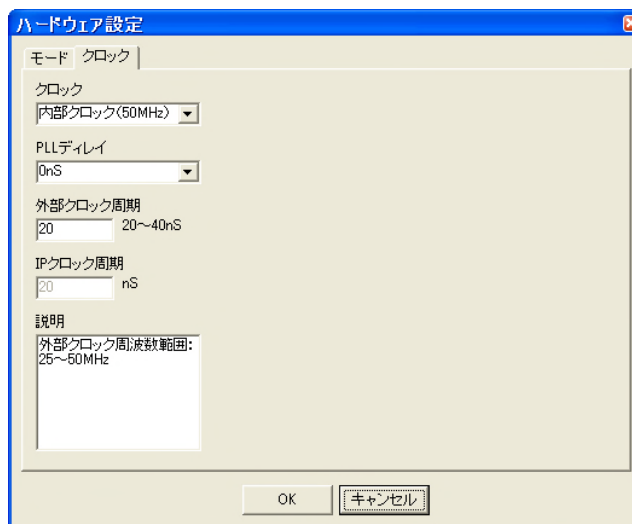


【3-1-2-8】

参考

動作確認がうまくいかない時は、メニューの「設定 | ハードウェア」で、ハードウェア設定ダイアログを開き、表の中にモジュール=0のロジアナ IP があることを確認してください。モジュール=0のロジアナ IP が無い時は、FPGA との通信ができていません。

ロジアナ IP に供給するクロックが 50MHz 以外の方は、ポケットロジアナのソフトウェアの起動後、メニューの「設定 | ハードウェア」でハードウェアダイアログを開き、「クロック」タブをクリックして、IP クロック周期を整数で記入してください。



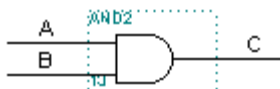
応用編 2. ロジアナ IP (ユーザーロジアナ) で FPGA の内部信号を測定する

既存の回路図にロジアナ IP (ユーザーロジアナ) を追加して、動作を確認して見ましょう。

1 フォルダ C:\ProgramFiles\PocketLogiana\Logiana IP\PartsBox\maxplus2 quartus flex10k acex apex にある全てのファイルを、フォルダ C:\ProgramFiles\PocketLogiana\Logiana IP\Manual Ouyouhen\And にコピーします。

2 アルテラ社の FPGA 開発ソフト MAX+plus II を起動します。

3 メニューの [File | Open] を選択すると、[Open] ダイアログボックスが表示されますので、“Show in Files List” — 《Graphic Editor files》をクリックした後、C:\ProgramFiles\PocketLogiana\Logiana IP\Manual Ouyouhen\And\and.gdf を開きます。

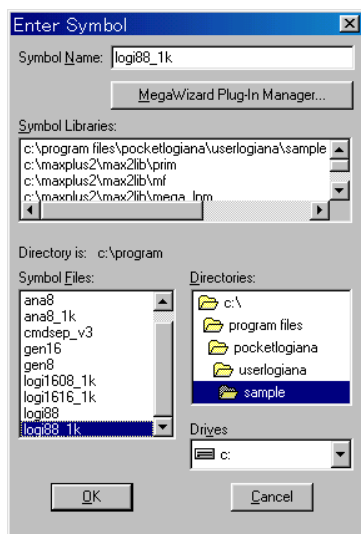


【図 3-2-1】

4 メニューの [File | Project | Set Project to Current File] を行います。

5 メニューの [Assign | Device] を選択し、お客様開発の基板に搭載してある FPGA を選びます。

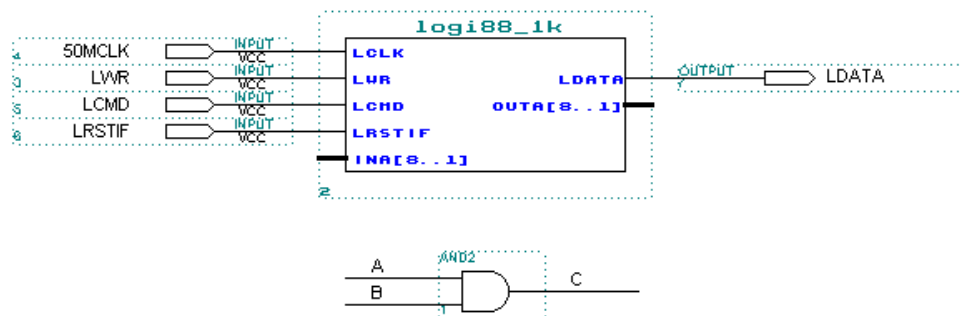
6 回路図の空いたスペースでダブルクリックし、Enter Symbol ダイアログで、logi88_1k を選択します。



【図 3-2-2】

参考 今回呼び出す logi88_1k は、ロジックアナライザ:8 チャンネル 1024 サンプル、パターンジェネレータ:8 チャンネルのものです。この他に、16 チャンネルや 2048 サンプルのものがあります。詳しくは「リファレンス編 6 各種 IP モジュールとそのファイル」をご覧ください。

7 logi88_1k のシンボルが回路図に現れます。入出力端子 50MCLK、IP_WR, IP_CMD, IP_RESET, IP_DATA を、応用編 1.2 で用いた回路図 usrlogi.gdf を参考にして接続します。

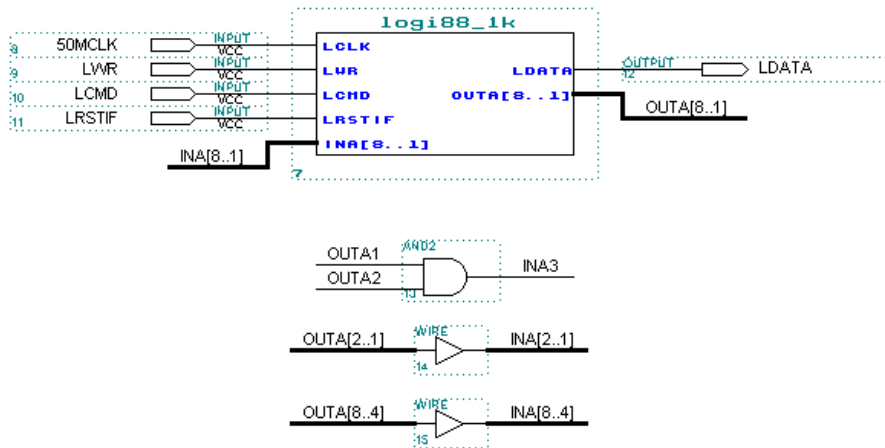


【図 3-2-3】

8 パターンジェネレータの出力 1 と 2 を AND に入れ、AND の出力をロジアナのチャンネル 3 で観測するように回路図を修正します。パターンジェネレータの出力 1

と2を、ロジアナのチャンネル1と2で観測します。ロジアナの空きチャンネル4から8にはパタージェネレータの出力4から8を接続します。回路図の修正方法については、MAX+plus IIのマニュアルを参照してください。WIRE は、異なる名前の信号を接続するためのものです。

完成した回路が C:\ProgramFiles\PocketLogiana\Logiana IP\Manual Ouyouhen\¥And¥and_logi.gdf です。

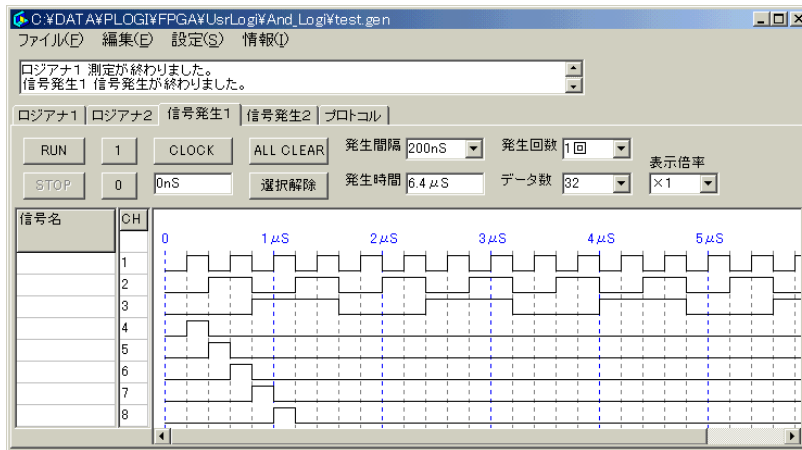


【図 3-2-4】

- 9 メニューの[File | Save]を選択し、保存します。
- 10 応用編 1.2 の 5 ～ 9 を行ってください。
- 11 ポケットロジアナを起動します。ロジアナのページの **RUN** を押します。

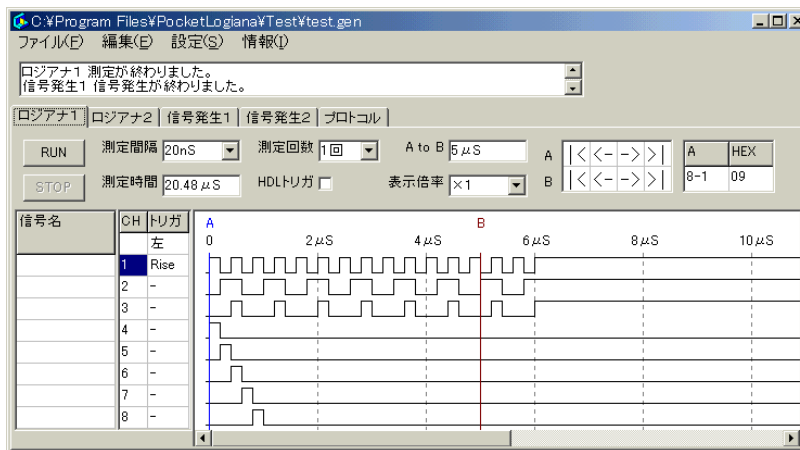
12 信号発生1 を押します。

メニュー[ファイル | 開く]を選択し、C:\ProgramFiles\PocketLogiana ¥Test¥Test.gen を開くと、信号発生用の波形が表示されます。RUN を押します。



【図 3-2-5】

13 ロジアナ1 を押します。下図の波形が表示されます。チャンネル3は、チャンネル1と2のANDになっています。



【図 3-2-6】

応用編 3. 各種 IP モジュールを組み合わせる

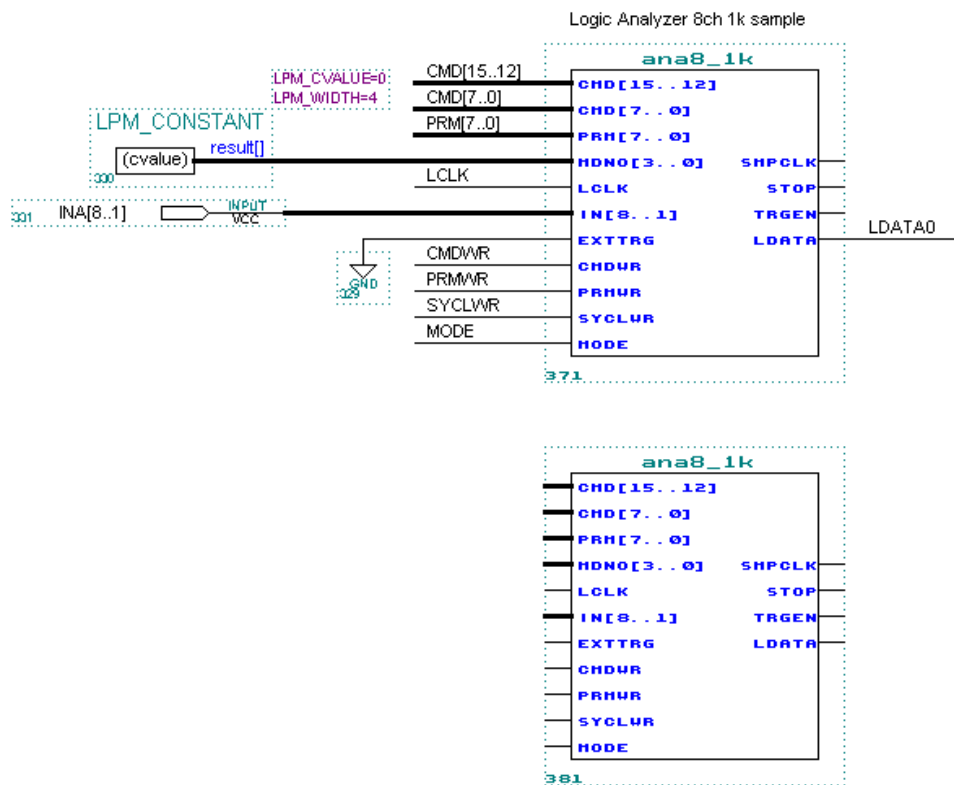
フォルダ C:\ProgramFiles\PocketLogiana\Logiana IP\PartsBox には、各種 IP モジュールが置いてあります。詳しくは、「リファレンス編6 各種 IP モジュールとそのファイル」をご覧ください。

PartsBox がない組み合わせを作る方法を解説します。ロジアナ 8ch, 1kサンプル 1個と信号発生8ch 1個が入っている logi88_1k を改造して、ロジアナ 8ch, 1kサンプル 2個の組み合わせを作ります。

注意! IP モジュールの最大個数は、ロジアナが 3 個まで、信号発生が 3 個までです。

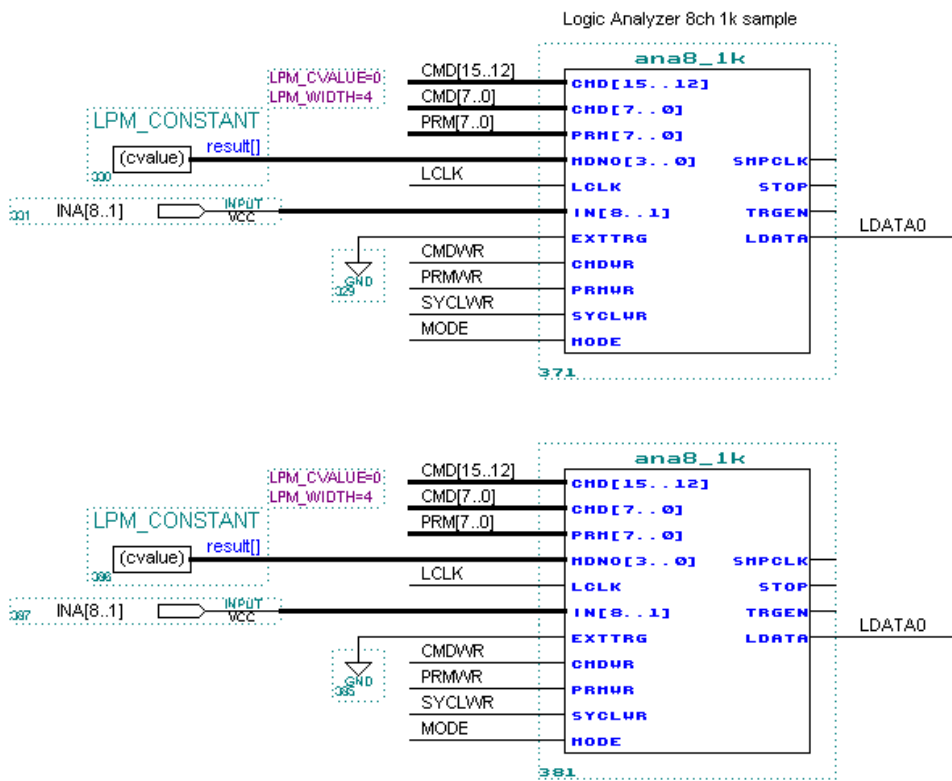
- 1 アルテラ社の FPGA 開発ソフト MAX+plus II を起動します。
- 2 メニューの [File | Open] を選択すると、[Open] ダイアログボックスが表示されますので、“Show in Files List” — 《Graphic Editor files》をクリックした後、C:\ProgramFiles\PocketLogiana\Logiana IP\Manual Ouyouhen\MixMd\Yusrlogi.gdf を開きます。
- 3 メニューの [File | Project | Set Project to Current File] を行います。
- 4 メニューの [Assign | Device] を選択し、お客様開発の基板に搭載してある FPGA を選びます。
- 5 表示されている回路図の中の logi88_1k をダブルクリックします。

6 シンボル ana8_1k の下の空いたスペースでダブルクリックして、シンボル ana8_1k を呼び出します。



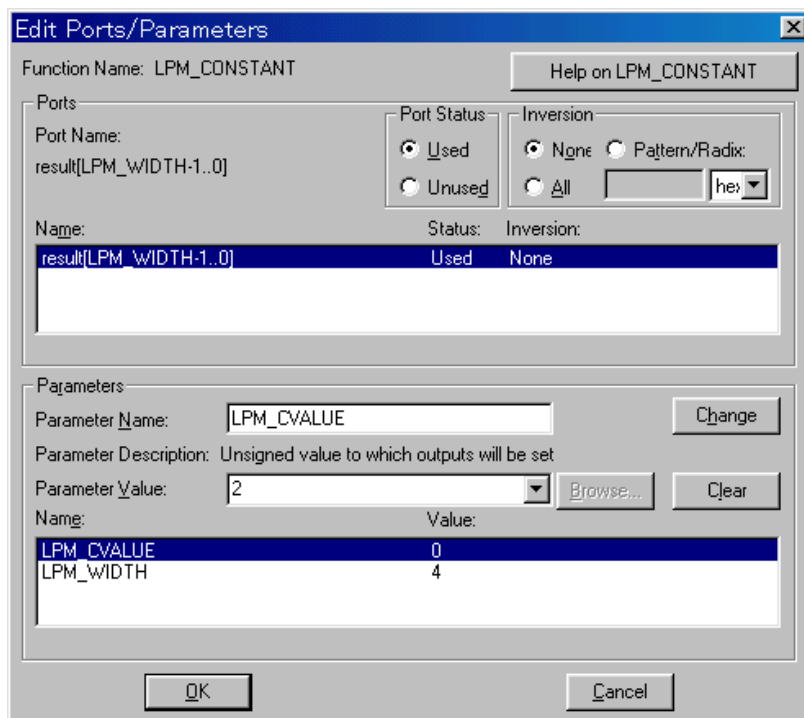
【図 3-3-1】

7 ana8_1k の周囲の接続を、上の ana8_1k からコピーします。



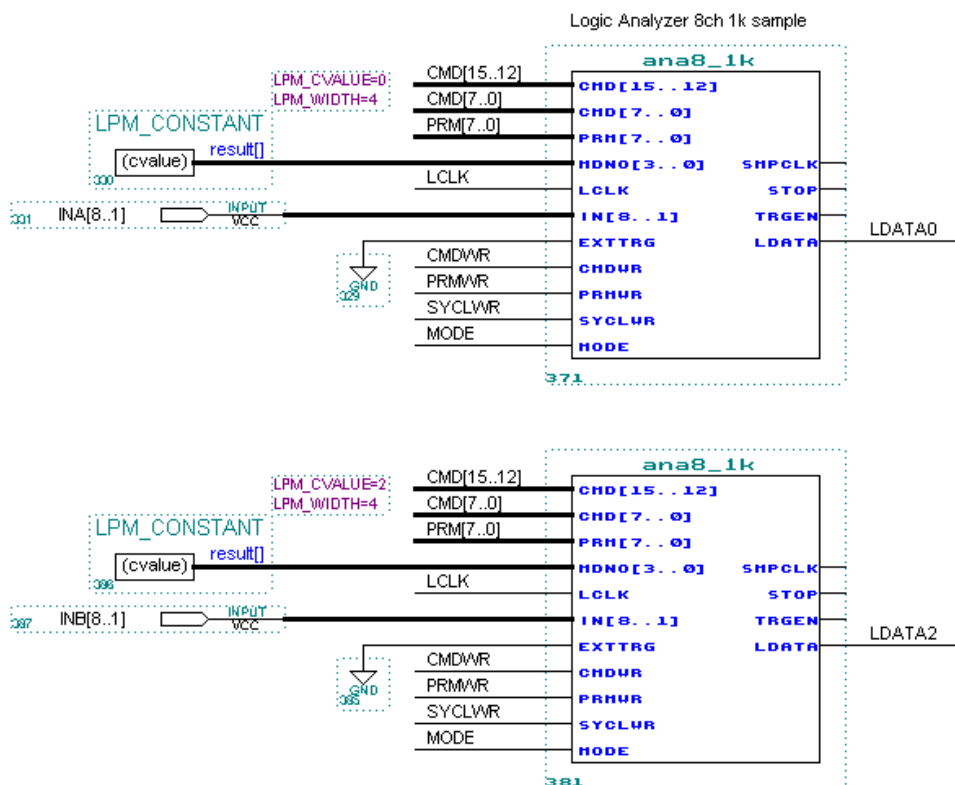
【図 3-3-2】

8 下の ana8_1k の左の LPM_CONSTANT の上で右クリックし、Edit Ports/Parameters を選びます。LPM_CONSTANT の LPM_CVALUE は、上の ana8_1k が 0、右の gen8 が 1 ですから、空いている番号 2 にします。LPM_CVALUE は、IP モジュール番号で、0～7 の任意の値を付けることができます。



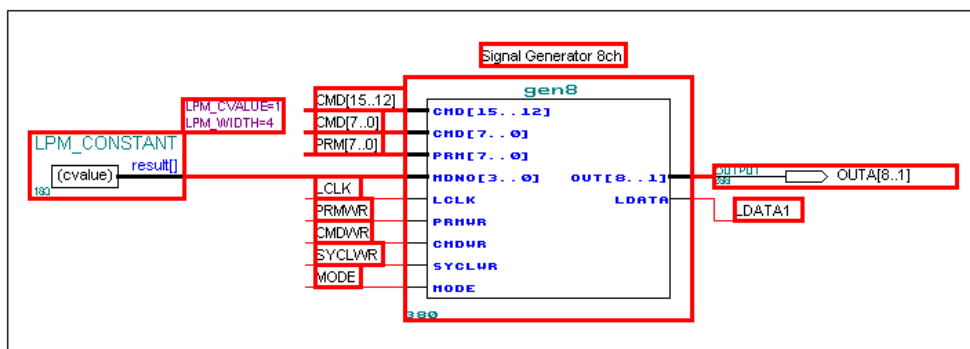
【図 3-3-3】

- 9 入力ポート INA[8..1]の上で右クリックし、Edit Pin Name を選びます。ピン名称を INB[8..1]に変更します。同じように、LDATA0 を LDATA2 に変えます。2 は、LPM_CVALUE の値（IP モジュール番号）です。



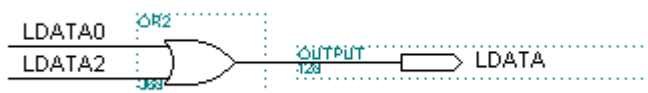
【図 3-3-4】

- 10 gen8 とその周囲を選択し、削除します。



【図 3-3-5】

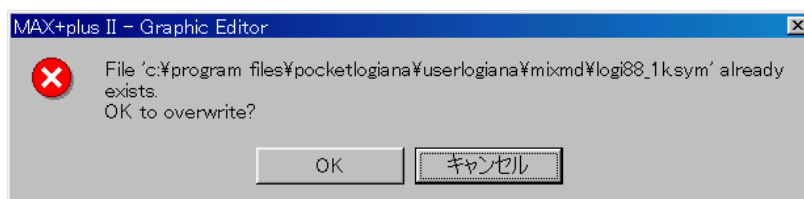
11 右上の OR2 の入力の LDATA0 を LDATA2 に変更します。完成したファイルが logi88_1kmix.gdf の名前で同じフォルダに入っています。



【図 3-3-6】

12 メニューの [File | Save] を選択し、保存します。

13 メニューの [File | Create Default Symbol] を選択します。メッセージが表示されますので、**OK** を押します。



【図 3-3-7】

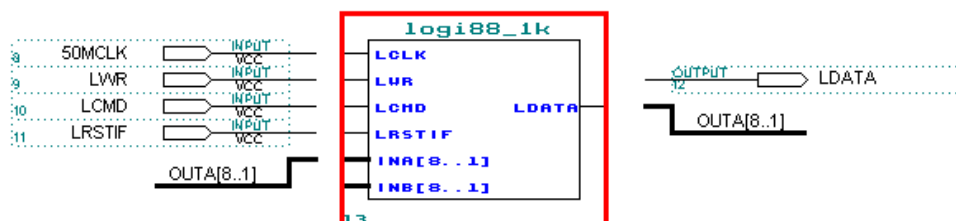
14 メニューの [Window | 1 usrlogi.gdf-Graphic Editor] を選択し、[usrlogi.gdf] 画面に戻ります。

15 logi88_1k をクリックして選択し、Delete キーを押して削除します。



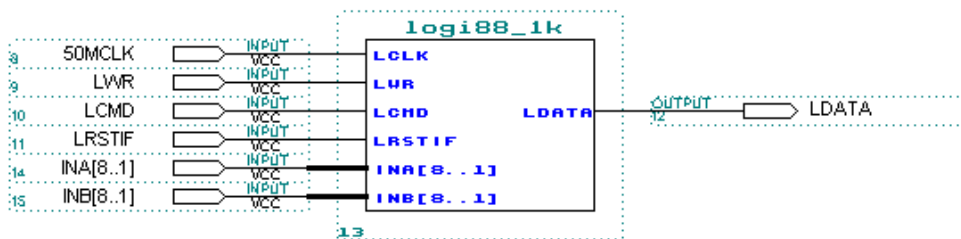
【図 3-3-8】

16 空いたスペースでダブルクリックし、logi88_1k を呼び出します。



【図 3-3-9】

17 logi88_1k の周囲の結線を下記のように行います。完成したファイルが usrlogimix.gdf の名前で同じフォルダに入っています。

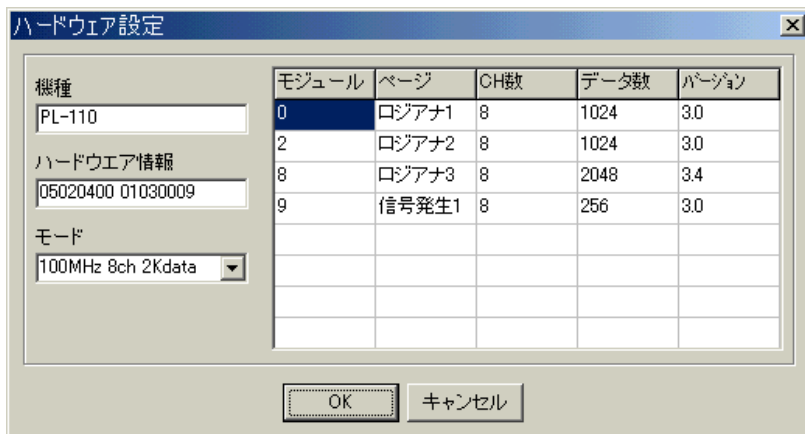


【図 3-3-10】

18 メニューの[File | Save]を選択し、保存します。

19 応用編<1.2>の 5 ~ 9 を行ってください。

20 ポケットロジアナを起動します。メニュー[設定 | ハードウェア]を選択します。先ほど作成したロジアナモジュール 2 が表示されています。また、削除した信号発生モジュール 1 はなくなっています。



【図 3-3-11】

応用編 4. 外部からクロックを供給する

テストクリップを使って測定する本体ロジアナを外部クロックで動作させる方法を解説します。お客様開発の基板とポケットロジアナ本体を、標準添付の同軸ケーブルで接続します。

外部クロックは、5V TTL, CMOS および 3.3V LVCMOS を入力できます(電圧範囲 -0.5 ~5.5V)。

供給できるクロック周波数は、モードにより変わります。

ハードウェアモード	外部クロック範囲	最大サンプリング周波数
200MHz 16ch 32Kbit	25~50MHz	外部クロック×4
200MHz 16ch 256Kbit	25~50MHz	外部クロック×4
100MHz 32ch 32Kbit	25~50MHz	外部クロック×2
100MHz 32ch 256Kbit	25~50MHz	外部クロック×2
内部折返しテスト	25~50MHz	外部クロック×4
クロック倍率x2 16ch 32Kbit	50~100MHz	外部クロック×2
クロック倍率x2 16ch 256Kbit	50~100MHz	外部クロック×2

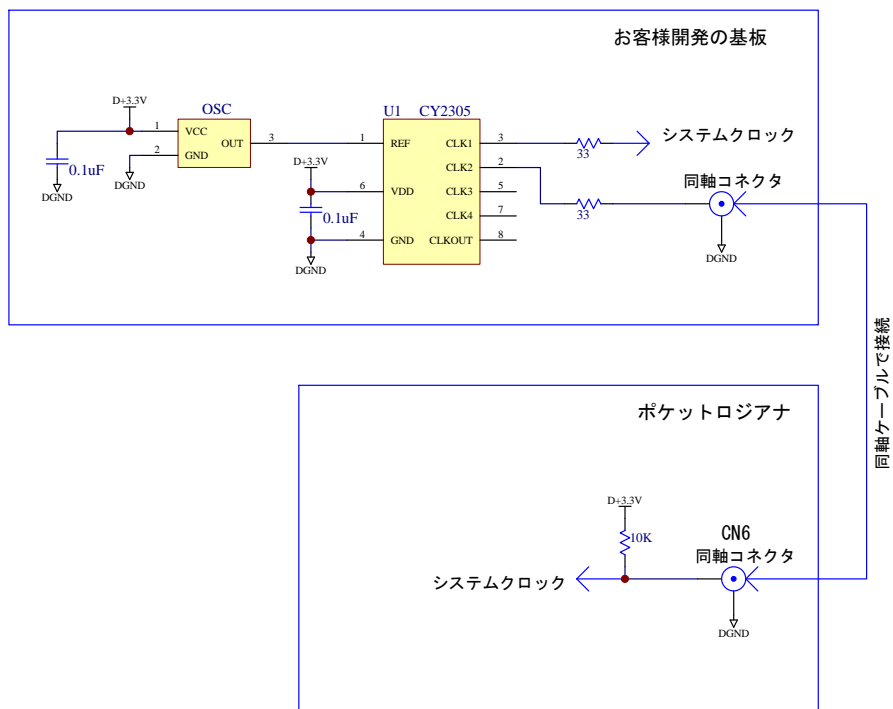
【図 3-4-1】

1 同軸ケーブルを CLK IN に接続します。



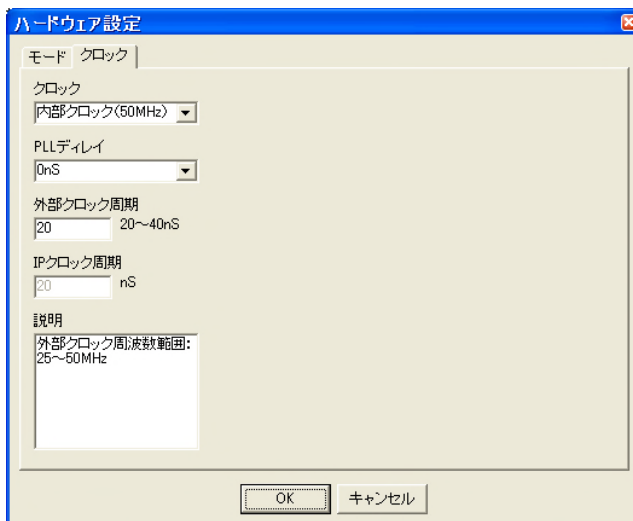
【図 3-4-2】

2 同軸ケーブルのもう一方の端を、お客様開発の基板上の同軸コネクタ(MCX タイプを標準添付)に接続します。クロック分配器(お客様の方でご用意ください)を通してクロックを供給する方法を下記に示します。下記のクロック分配器はサイプレスの CY2305 です。

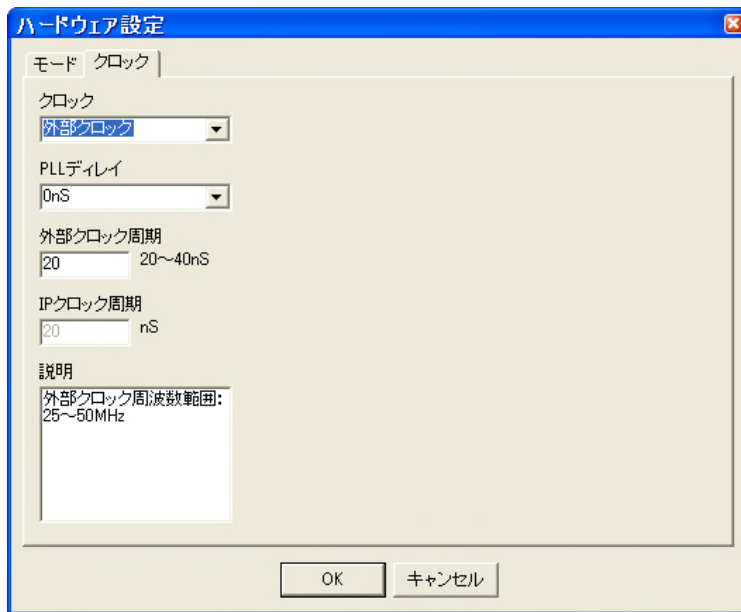


【図 3-4-3】

3 メニューの[設定 | ハードウェア]を選択すると、[ハードウェア設定]ダイアログボックスが表示されます。「クロック」タブをクリックします。



クロックを「外部クロック」に変更します。外部クロックの周期を整数で記入します。OKを押します。



外部クロック設定にしているにもかかわらず、外部クロックを入れていないと、正しく測定できません。またこのとき、設定を内部クロックに戻すためには、ポケットロジアナソフトの再起動が必要です。詳しくは「リファレンス編7. トラブルシューティング」をご覧ください。

応用編 5. VHDL/VerilogHDL からロジアナ IP(ユーザーロジアナ)を使う

VHDL または VerilogHDL からロジアナ IP(ユーザーロジアナ)を呼び出して使う方法を解説します。

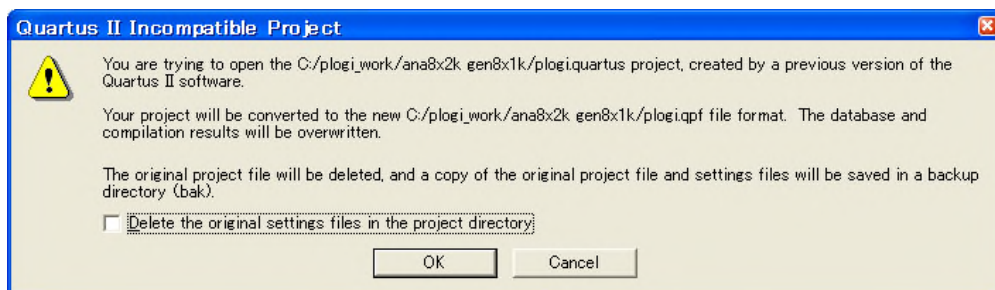
Xilinx 社の Spartan-3 でロジアナ IP を使う方法は、ポケットロジアナソフトをインストールしたパソコンの C:\Program Files\PocketLogiana\Manual フォルダの「Spartan-3 対応ロジアナ IP の動作確認.pdf」をご覧ください。

1 デバイスが FLEX10K, ACEX, APEX の場合、C:\ProgramFiles\PocketLogiana\Logiana IP\Sample\quartus\flex10k acex apex\ana8x2k gen8x1k フォルダを適当な場所(ここではここでは C:\plogi_work)にコピーします。

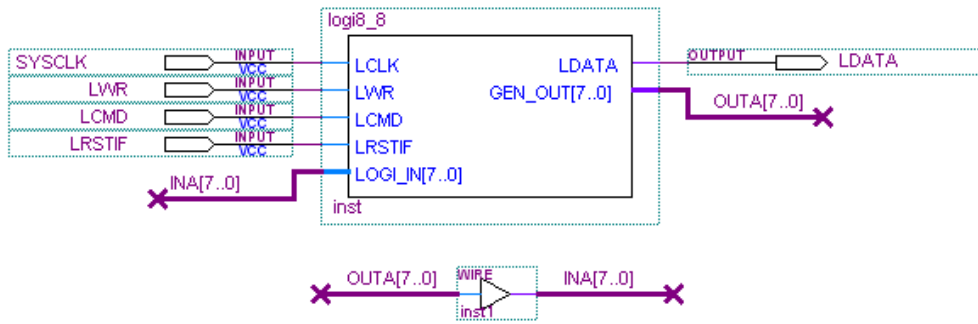
デバイスが Cyclone では、C:\ProgramFiles\PocketLogiana\Logiana IP\Sample\quartus\cyclone\ana8x2k gen8x1k フォルダを適当な場所(ここではここでは C:\plogi_work)にコピーします。

2 Quartus II を起動します。

3 メニューの [File | Open Project] を選択し、プロジェクトファイル plogi.quartus または plogi.qpf を開きます。下記のダイアログが出る場合、OK を押します。

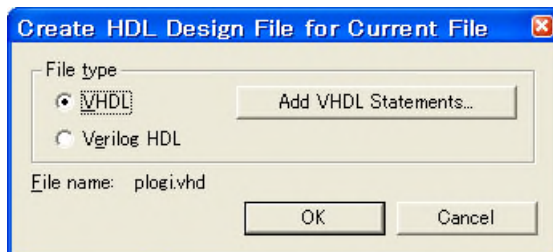


4 メニューの [File | Open] を選択し、plogi.gdfを開きます。



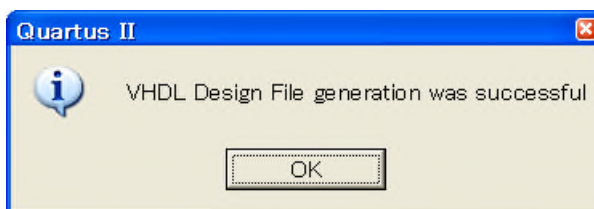
[3.5.1]

5 メニューの [File | Create / Update | Create HDL Design File for Current File] を選びます。VHDL または VerilogHDL を選びます。



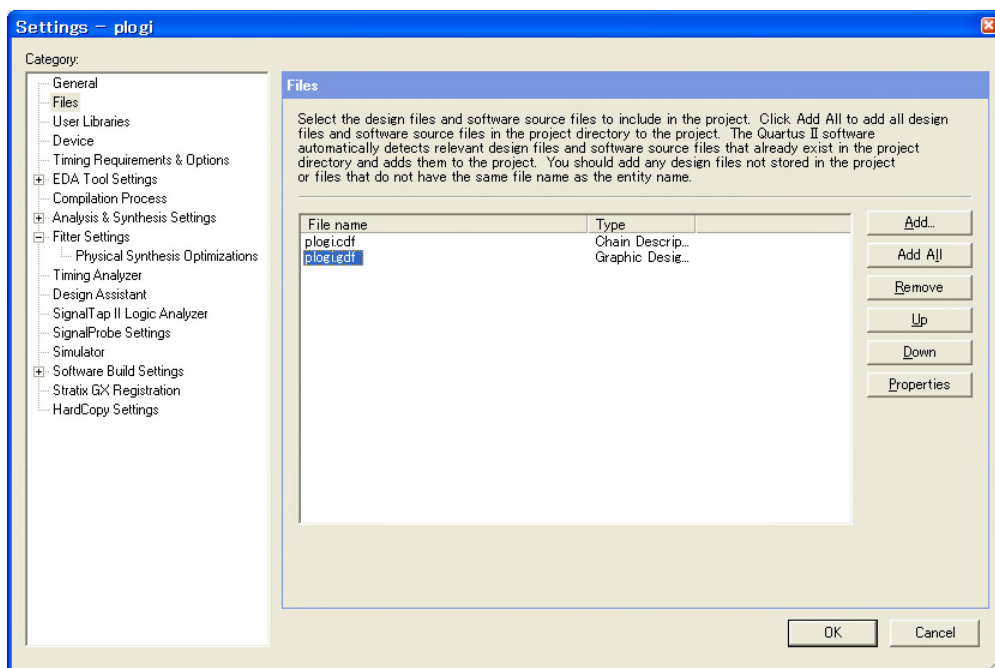
[3.5.2]

ロジアナ IP を利用する VHDL または VerilogHDL ソースコード (plogi.vhd または plogi.v) が作成されます。



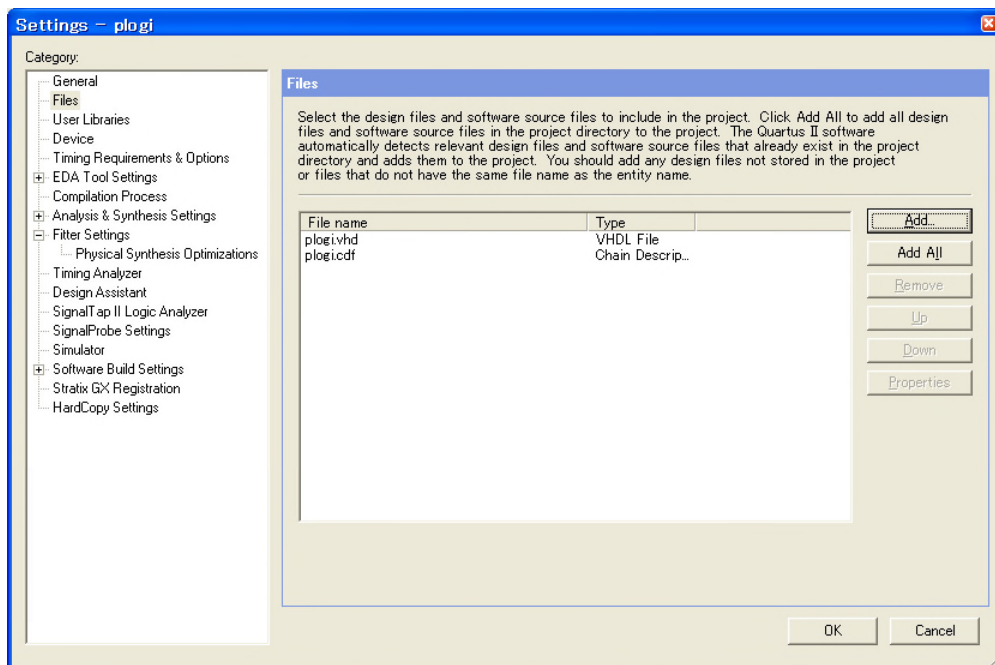
[3.5.3]

- 6 メニューの[Project | Add/Remove Files in Project]を選びます。plogi.gdf を選択し、Remove ボタンを押して plogi.gdf をプロジェクトから削除します。



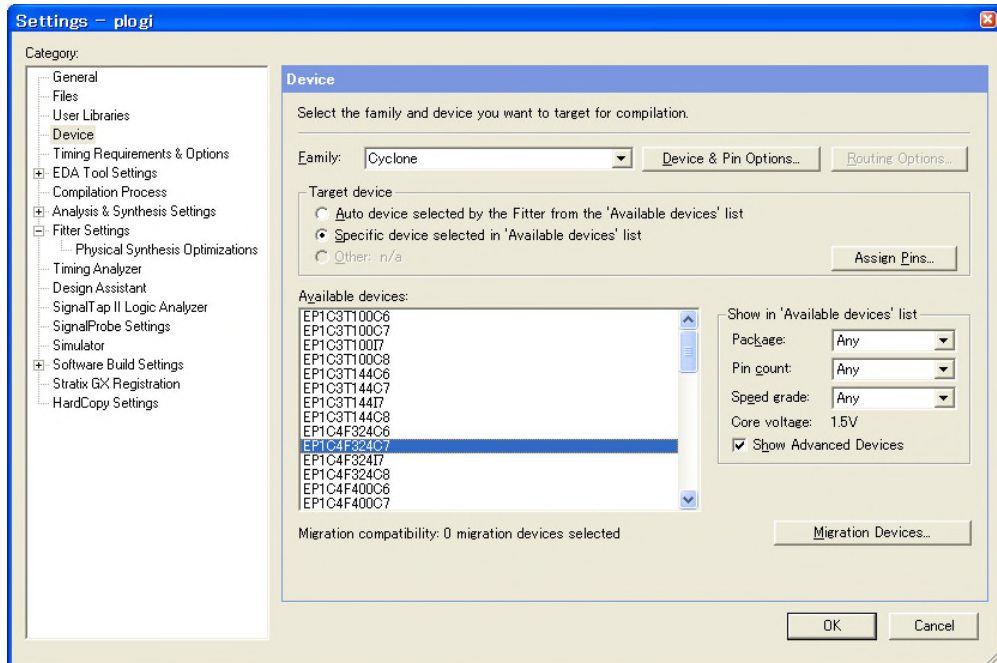
[3.5.4]

- Add ボタンを押して、plogi.vhd または plogi.v をプロジェクトに加えます。



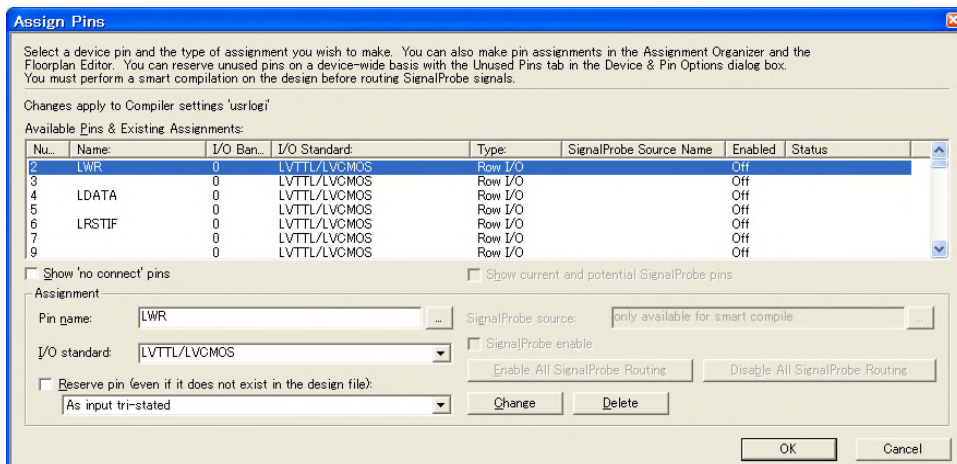
[3.5.5]

- 7 メニューの[Assignment | Device]でデバイスを選択します。



[3.5.6]

- 8 メニューの[Assignment | Assign Pins]で、入力ピン・出力ピンの割当を行います。
応用編 1.1の回路図を参考に、お客様の回路に合わせて設定してください。



[3.5.7]

- 9 メニューの[Processing | Start Compilation]でコンパイルを行います。

- 10 メニューの[Tools | Programmer]を選び、回路をダウンロードします。

11 応用編 1.3 に従って動作確認を行います。

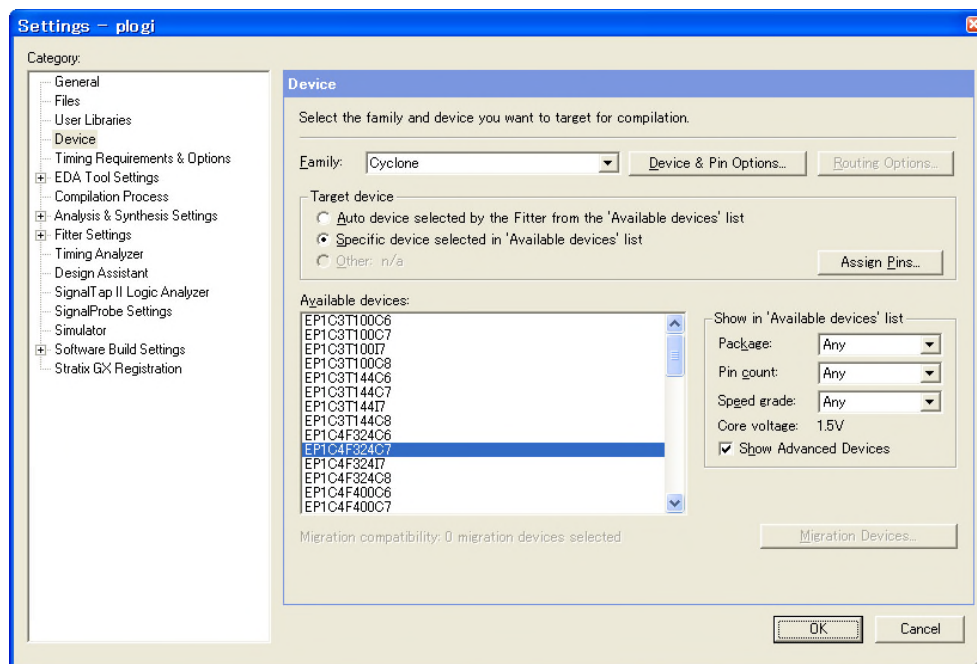
12 plogi.vhd または plogi.v から、お客様の回路 (または VHDL/VerilogHDL ソースコード) を呼び出すように記述します。ロジアナ IP (logi8_8) の入力 LOGI_IN[7..0] には、お客様の回路の測定したい信号を入力します。

応用編 6. Edge Sampling のロジアナ IP(ユーザーロジアナ)を使う

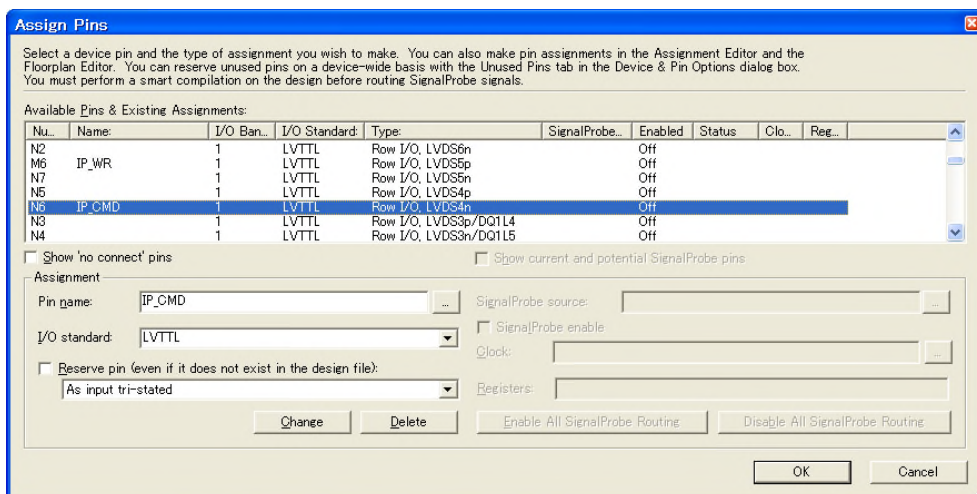
CH0 の信号の立上りで、CH1～31 の値を記録するロジアナ IP(ユーザーロジアナ)を使う方法を解説します。

以下は Cyclone の場合です。Flex10k Acex Apex の場合、C:\ProgramFiles\PocketLogiana\Logiana IP\PartsBox\maxplus2 quartus\flex10k acex apex\ana32x1k edgesmp フォルダにある部品を使って、「応用編 3. 各種 IP モジュールを組み合わせる」の方法で試してください。

- 1 C:\ProgramFiles\PocketLogiana\Logiana IP\Sample\quartus\Cyclone\ana32x1k edgesmp フォルダを適当な場所にコピーします。
- 2 Quartus II を起動します。
- 3 メニューの [File | Open Project] を選択し、プロジェクトファイル plogi.qpf を開きます。メニューの [File | Open] を選択し、plogi.gdf を開きます。
- 4 メニューの [Assignment | Device] でデバイスを選択します。

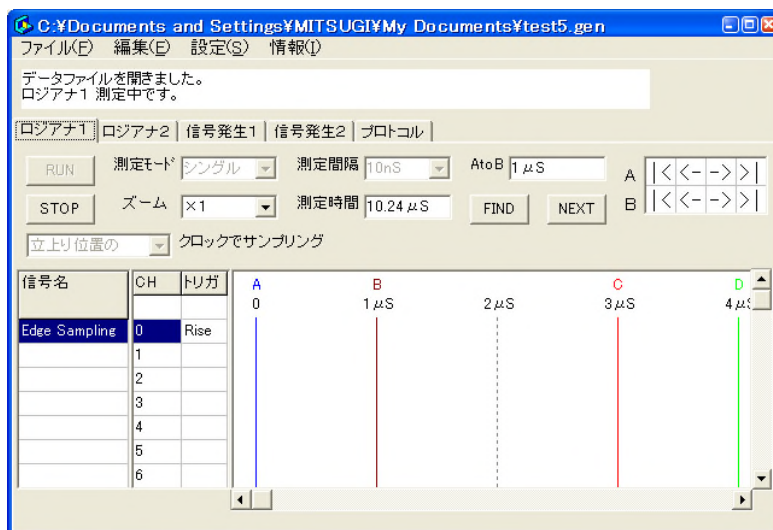


- 5 メニューの[Assignment | Assign Pins]で、入力ピン・出力ピンの割当を行います。応用編 1.1の回路図を参考に、お客様の回路に合わせて設定してください。

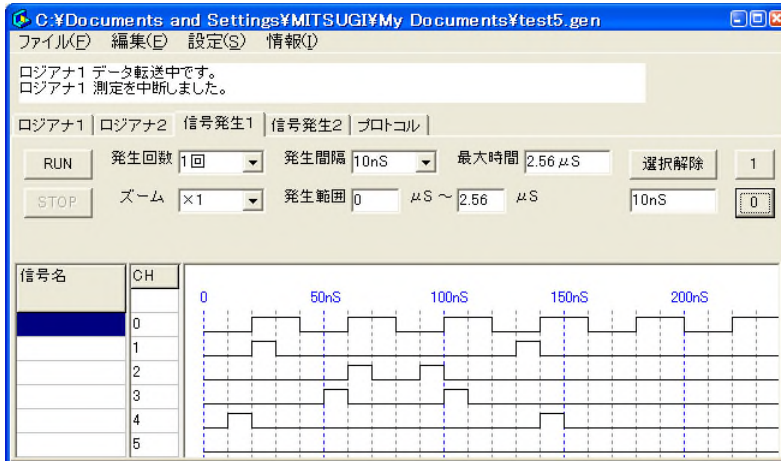


[3.5.7]

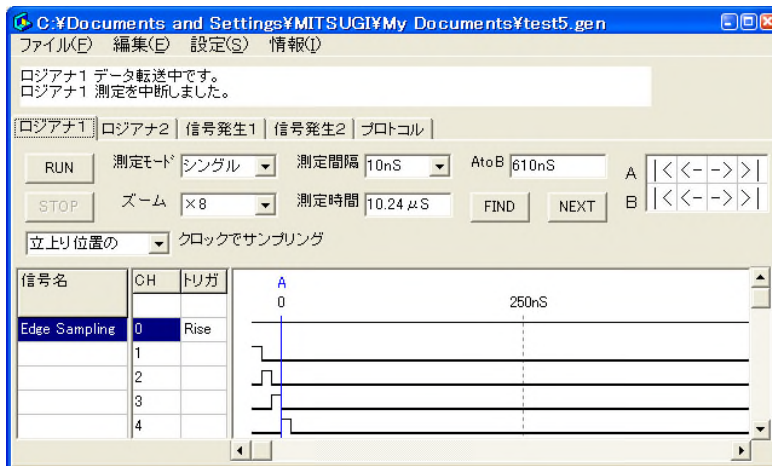
- 6 メニューの[Processing | Start Compilation]でコンパイルを行います。
- 7 メニューの[Tools | Programmer]を選び、回路をダウンロードします。
- 8 ポケットロジアナソフトを起動し、ロジアナ1(ロジアナ IP)の RUN ボタンを押します。



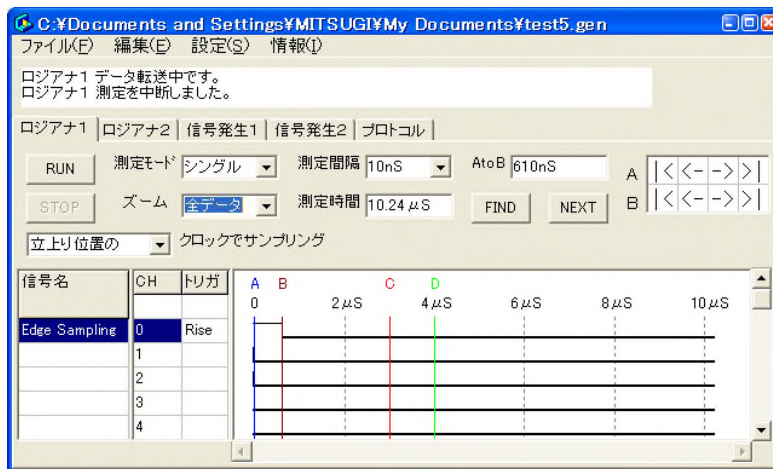
9 信号発生1タブをクリックし、下記の波形を作り、RUN ボタンを押します。



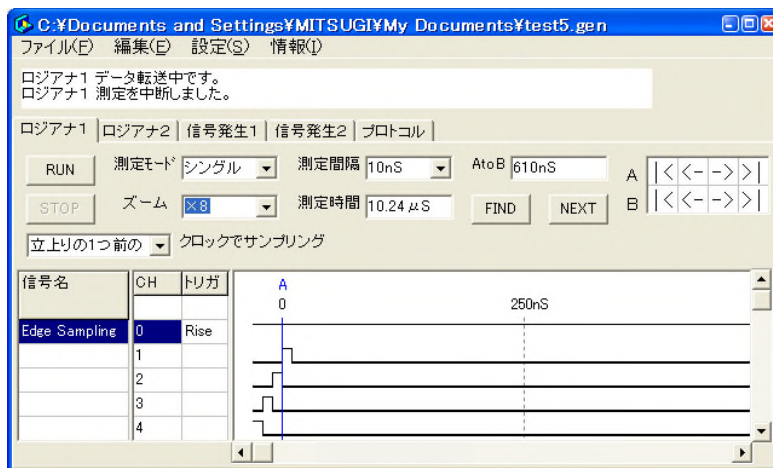
10 ロジアナ1タブをクリックし、STOP ボタンを押します。下記のように、CH0 の立上りでのみ、CH1~31 の波形をサンプリングします。



ズームを「全データ」にすると、始めからカーソル B の位置までが CH0=H です。この部分がデータを記録した部分です。



11 「立上りの 1 つ前の」クロックでサンプリングを選ぶと、下記の波形が取れます。



12 測定モードを「上書」にすると、バッファ容量(1024/CH)いっぱいにはデータを記録しても測定を終了せず、一番古いデータから上書きして行きます。STOP ボタンで終了します。測定モードを「シングル」にすると、バッファ容量(1024/CH)いっぱいにはデータを記録した時点で測定を終了し、波形を表示します。

Pocket Logiana

有限会社 エムビーウェア

〒862-0954 熊本市神水 1-21-8-409

TEL/FAX:096-385-6312

(お掛けになる場合、発信者番号通知が必要です)

E-mail: support@mbeware.com

<http://www.mbeware.com>