Pocket Logiana

ポケットロジアナ IP PIP-10 マニュアル



Ver.5.50 対応 2009/1/6 版

有限会社 エムビーウェア

| 第1章 導入編 | |
|------------------------------|----|
| 導入編 1. 梱包内容をお確かめください | 1 |
| 導入編 2. お客様に用意していただくもの | 1 |
| 導入編 3. ユーザー登録 | 2 |
| 導入編 4. 注意事項 | 2 |
| 導入編 5. 各部の名称 | 3 |
| 導入編 6. ソフトウェアのインストール | 4 |
| 導入編 7. USBドライバのインストール | 6 |
| 7.1 Windows XP の場合 | 6 |
| 7.2 Windows Vista の場合 | 9 |
| 導入編 8. ポケットロジアナとお客様開発の基板との接続 | 12 |
| 8.1 IP ケーブルで接続する | 12 |

| 第2章 チュートリアル編 | |
|----------------------------------|----|
| チュートリアル編 1. Altera 社の FPGA の場合 | 17 |
| 1.1 Altera 社の開発ソフト Quartus IIの操作 | 17 |
| 1.2 ポケットロジアナソフトの起動 | 22 |
| チュートリアル編 2. Xilinx 社の FPGA の場合 | 26 |
| 1.1 Xilinx 社の開発ソフト ISE の操作 | 26 |
| 1.2 ポケットロジアナソフトの起動 | 39 |

| 第3章 応用編 | |
|-----------------------------------|----|
| 応用編 1. ロジアナ IP を追加する | 43 |
| 1.1 Altera 社の開発ソフト Quartus Ⅱの操作 | 43 |
| 1.2 VHDL/VerilogHDL からロジアナ IP を使う | 52 |

- 第1章 -

導入編

| 導入編 1. | 梱包内容をお確かめください | 1 |
|--------|-----------------------|---|
| 導入編 2. | お客様に用意していただくもの | 1 |
| 導入編 3. | ユーザー登録 | 2 |
| 導入編 4. | 注意事項 | 2 |
| 導入編 5. | 各部の名称 | 3 |
| 導入編 6. | ソフトウェアのインストール | 4 |
| 導入編 7. | USBドライバのインストール | 6 |
| 7.1 Wi | ndows XP の場合 | 6 |
| 7.2 Wi | ndows Vista の場合 | 9 |
| 導入編 8. | ポケットロジアナとお客様開発の基板との接続 | |
| 8.1 IP | ケーブルで接続する | |



導入編1. 梱包内容をお確かめください

梱包を開けたら、購入品が揃っているかご確認ください。万一、品が足りない場合、破 損していた場合は、お手数ですが弊社(有)エムビーウェアまでご一報をお願い致しま す。

- ポケットロジアナ IP 本体
- USBケーブル(TypeA-MiniB)
- IP ケーブル
- CD-ROM
- 保証書

導入編 2. お客様に用意していただくもの

- WindowsXP, Vista を搭載したパソコン
 Windows 98, 98SE, Me, 2000 はサポートしていません。
- (2) FPGA 評価基板、またはお客様開発のボード本製品は、Cyclone および Spartan-3 を搭載した基板で動作確認を行っています。
- (3) Altera 社の FPGA 開発ソフト、およびダウンロードケーブル (ByteBlasterMV など)
 Quartus II Web Edition Ver6.0 以降 (無料)、または Quartus II Ver6.0 以降 (有料)
 無料ソフトは、下記の日本アルテラ社のホームページよりダウンロードできます。
 http://www.altera.co.jp/support/software/download/sof-download_center.html

USB 接続のダウンロードケーブル Terasic Blaster もあります。 http://solitonwave.co.jp/products/usbblaster.html

(4) Xilinx 社の FPGA 開発ソフト ISE 8.1i 以降、およびダウンロードケーブル http://japan.xilinx.com/products/design_resources/design_tool/index.htm

導入編3. ユーザー登録

お客様のサポートを円滑に行うため、当社ではユーザー登録をオンラインで行って おります。当社のホームページの「ユーザー登録」の文字リンクから、ユーザー登録 画面にお入りください。

ユーザー登録された方には、ホームページの「ソフトウェアアップグレード」のペー ジに入るためのパスワードを送付いたします。

http://www.mbeware.com

導入編 4. 注意事項

1. IP ケーブル用 BOX ヘッダーCN1のレバーは硬いため、IP ケーブルのソケットを 半分ほど挿入したら、レバーを閉じ、その後さらにソケットを押し込んでください。 最後 にレバーが完全に閉じていることを確認してください。

IP ケーブルを外す時はレバーを開きますが、片側だけ開き易いので注意してください。レバーをできるだけ、均等に開いてください。IP ケーブルのソケットが片側だけ持ち上がると、BOX ヘッダーのピンが曲がることがあります。

2. IP ケーブル用 BOX ヘッダーCN1の入出力電圧レベルは 3.3V または 2.5V です (5V は不可)。4.6V を超える電圧を入出力端子に加えないでください。

また、VCCIO 端子への供給電圧は 3.3V または 2.5V です。 3.6V を超える電圧を VCCIO 端子に加えないでください。

3. IP ケーブル用 BOX ヘッダーCN1の裏にはピンが露出しています。CN1のピンと 他の基板とのショートに注意してください。 導入編 5. 各部の名称



CN 1 FPGA 基板と接続

VCCIO LED VCCIO と本体電源 ON のとき点灯



導入編 6. ソフトウェアのインストール

【 ポケットロジアナ CD-ROM を、CD-ROM ドライブに入れます。この時点では、ポケットロジアナは、接続していません。

CD-ROM 内のフォルダ¥Windows_XP_Vista ¥Setup の中の **PocketLogiana _XP** _**Vista.msi**をダブルクリックします。

| 2 | 次へを押します。 | |
|---|--|---------|
| | 🗟 สัรงการวิทรา 🗐 🛛 | |
| | ボケットロジアナ セットアップ ウィザードへよう こそ | |
| | インストーラは ポケットロジアナ をコンピュータ上にインストールするために必要な手順を 示します。 | |
| | 維続するためには「次へ」をクリックしてください。 | |
| | 警告: このコンピュータ ブログラムは、日本国著作権法および国際条約により保護されてい ます。このブログラムの全部または一部を無断で複製したり、無断で複製物を頒布すると著 作権の侵害となりますのでご注意ください。 | |
| | キャンセル(2) 戻る(P) 次へ(N) | 【1-5-2】 |

3 次へを押します。

| ホケットロシアナ インストール フォルダ | iの選択 | |
|--|-----------------------------------|---|
| インストーラは以下のフォル | ノダヘ ポケットロジアナ をインス | マトールします。 |
| このフォルタヘインストール ールするためには、以下に、 | んのには「次へ」をクリックして 入力するかまたは「参照」をク | てくたさい。他のフォルタヘインストリックしてください。 |
| フ+IL-A"(F): C-¥Program F | Files¥PocketLogiana¥ | <u> </u> |
| | | 2740-0167 |
| SAME D. Journerann | | |
| ソフトウェアを以下のドライン | ブにインストールできます(火): | |
| ソフトウェアを以下のドライコ ボリューム | ブにインストールできます⟨ <u>₩</u>): | ディスク容量 |
| ソフトウェアを以下のドライコ ボリューム ■C: | ガにインストールできます ₩: | ディスク容量 37GE |
| ソフトウェアを以下のドライコ ボリューム ■C: ■F: | ガにインストールできます ₩: | ディスク容量 37GE 38GE |
| ソフトウェアを以下のドライコ ボリューム ■C: ■F: 《 | ガにインストールできます ひ: | ディスク容量 37GE 38GE |
| ソフトウェアを以下のドライコ ボリューム ■ C: ■ F: ▼ | ブにインストールできます . <u>♡</u> : | ディスク容量 37GE 38GE ディスク所要量(<u>0</u>) |
| ソフトウェアを以下のドライコ ボリューム ■ C: ■ F: 《 | ガにインストールできます (⊻) : Ⅲ | ディスク容量 37GE 38GE ディスク所要量(<u>0</u>) |

4 導入編



6 CD-ROM 内の「製造番号」フォルダ の中のファイル「PIP-10 製造番号.id」を C:¥ProgramFiles¥PocketLogiana フォルダにコピーします。

導入編 7. USBドライバのインストール

7.1 Windows XP の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。 また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 以下のようにウィザード画面が表示されます。"いいえ、今回は接続しません"にチェ ックを入れ、次へを押します。

| 新しいハードウェアの検出ウィ | ザード |
|----------------|---|
| | 新しいハードウェアの検索ウィザードの開始 |
| | お使いのコンピュータ、ハードウェアのインストール CD または Windows Update の Web サイトを検索して (ユーザーの了解のもとに) 現在のソフトウ ェアおよび更新されたソフトウェアを検索します。 プライバシー ポリシーを表示します。 |
| | ソフトウェア検索のため、Windows Update に接続しますか? |
| | ○はい、今回のみ接続します(Y) ○はい、今すぐおよびデバイスの接続時には毎回接続します(E) ●れいえ、今回は接続しません(T) |
| | 続行するには、D欠ヘ]をクリックしてください。 |
| | < 戻る(B) 次へ(M)> キャンセル |

[1.6.1.1]

3 以下のようにウィザード画面が表示されます。"一覧または特定の場所からインスト ールする"にチェックを入れ、次へを押します。

| 新しいハードウェアの検出ウィ | (ቻ-ド |
|----------------|--|
| | 新しいハードウェアの検索ウィザードの開始 |
| | このウィザードでは、次のハードウェアに必要なソフトウェアをインストールします: USB Device |
| | ハードウェアに付属のインストール CD またはフロッピー ディ スクがある場合は、挿入してください。 |
| | インストール方法を選んでください。 |
| | ○ ソフトウェアを自動的にインストールする(推奨)④ ○ 一覧または特定の場所からインストールする(詳細)ら) |
| | 続行するには、D欠へ] をクリックしてください。 |
| | < 戻る(B) 次へ(W)> キャンセル |

[1.6.1.2]

3 CD-ROM ドライブにポケットロジアナの CD-ROM を入れます。"次の場所で最適な ドライバを検索する"、および"次の場所を含める"にチェックを入れ、CD-ROM 内のフォ ルダ¥INF**¥Windows_XP_Vista**を指定します。 次へを押します。

| ● 次の場所で最適のドライバを検索する(S) 下のチェック ボックスを使って、リムーバブル メディアやローカル パスから検索できます。検索された最適のドラ イバがインストールされます。 □ リムーバブル メディア (フロッピー、CD-ROM など) を検索(M) |
|---|
| ◇次の場所を含める(Q): E¥INF¥Windows_XP ●検索しないで、インストールするドライバを選択する(Q) →暫からドライバを選択するには、このオプションを選びます。選択されたドライバは、ハードウェアに最適のものとは限りません。 |
| < 戻る(B) 次へ(M) > キャンセル |
| [1.6.1.3] |

7.2 Windows Vista の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。 また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 "ドライバソフトウェアを検索してインストールします(推奨)"を選択します。

|) 新しいハードウェアが見つかりました |
|--|
| 下明なデバイス のドライバ ソフトウェアをインストールする必要があります |
| ドライバ ソフトウェアを検索してインストールします (推奨)(」) このデバイスのドライバ ソフトウェアをインストールする手順をご案 内します。 |
| → 後で再確認します(A) 次回デバイスをブラグ インするときまたはデバイスにログオンすると きに、再度確認メッセージが表示されます。 |
| そのデバイスについて再確認は不要です(D) このデバイスは、ドライバ ソフトウェアをインストールするまでは動作しません。 |
| キャンセル |

次へ(<u>N</u>)

キャンセル

5 "このドライバソフトウェアをインストールします"を選択します。

6 以下のようにメッセージが表示されますと、インストール完了です。

閉じるを押します。

| 🥥 🗓 新しいハードウェアの検出 - Pocket Logiana PL-350 | × |
|--|---|
| このデバイス用のソフトウェアは正常にインストールされました。 | |
| このデバイスのドライバ ソフトウェアのインストールを終了しました: | |
| Pocket Logiana PL-350 | |
| | |
| | |
| | |
| | |
| - 閉じる(<u>C</u>) | |
| | |

導入編 8. ポケットロジアナとお客様開発の基板との接続

FPGA は、Cyclone および Spartan-3 が使用できます。FLEX10K、ACEX、APEX、 Stratix、Virtex でも動作すると思われますが、弊社では確認しておりません。ブロック RAM を内蔵していない MAX II や CoolRunner-II などの CPLD は使用できません。

8.1 IP ケーブルで接続する

ポケットロジアナをお客様開発の基板上のFPGAと接続します。ポケットロジアナの 10ピンBOX ヘッダーに標準添付のIPケーブルを接続し、もう一端は、FPGA 基板上 に設けた1列6ピンヘッダーに接続します。2列のBOX ヘッダーにも接続可能です。

IP ケーブル

Cyclone II FPGA スタータ開発キット DK-CYCII-2C20N(Digi-Key で¥17,000 程度 2009.1.5 現在)

注意 IP ケーブル用 BOX ヘッダーCN1のレバーは硬いため、IP ケーブルのソケット を半分ほど挿入したら、レバーを閉じ、その後さらにソケットを押し込んでください。 最 後にレバーが完全に閉じていることを確認してください。

IP ケーブルを外す時はレバーを開きますが、片側だけ開き易いので注意してください。レバーをできるだけ、均等に開いてください。IP ケーブルのソケットが片側だけ持ち上がると、BOX ヘッダーのピンが曲がることがあります。

Cyclone II FPGA スタータ開発キットの BOX ヘッダーに接続した例

ポケットロジアナとお客様開発の基板上の FPGA との接続は、次ページのように信 号4本とGND2本、VCCIO1本を接続します。FPGA側は、任意のユーザーI/Oピ ンを使えます。使用するFPGAのI/Oピンは、FPGA基板からポケットロジアナへ供給 するVCCIOの電圧レベルに合わせてください。FPGAの入力信号IP_WR, IP_RESET, IP_CMDは、FPGA内蔵のWeak Pull-Up抵抗でPull-Upします。

Clockは12MHz以上にしてください。電源の投入順は、ポケットロジアナ側からでも、 FPGA側からでも問題ありません。FPGA基板側から供給するVCCIO電圧がゼロなら、 ポケットロジアナは、出力 IP_WR, IP_RESET, IP_CMDをドライブしません (Hi-Z)。ポ ケットロジアナと FPGA 基板の両方の電源が入ったとき、LED (D1)が点灯します。

注意 IP ケーブル用 BOX ヘッダーCN1の入出力電圧レベルは 3.3V または 2.5V で す(5V は不可)。4.6V を超える電圧を入出力端子に加えないでください。 また、VCCIO 端子への供給電圧は 3.3V または 2.5V です。3.6V を超える電圧を VCCIO 端子に加えないでください。

下記に 10 ピン BOX ヘッダーの信号配置を示します。10 ピン BOX ヘッダーの信号 入出力方向は、パッシブシリアルのコンフィギュレーションポートや JTAG ポート (いずれも、ByteBlasterMV を使ってダウンロードを行うポート) と合わせてあり ます。BOX ヘッダーCN1の裏にはピンが露出しています。CN1のピンと他の基板と のショートに注意してください。

●ポケットロジアナ側

| ピン | | ポケットロジアナ | ワイヤー |
|----|----------|-------------|------|
| 番号 | 信号名 | から見た入出力 | の色 |
| 1 | IP_WR | Output | 橙 |
| 2 | GND | | |
| 3 | IP_DATA | Input | 黄 |
| 4 | VCCIO | 3.3V、2.5V入力 | 赤 |
| 5 | IP_RESET | Output | 緑 |
| 6 | | No Connect | |
| 7 | | No Connect | |
| 8 | | No Connect | |
| 9 | IP_CMD | Output | 青 |
| 10 | GND | | 黒 |

●FPGA 基板側

| ピン | | FPGA基板から | ワイヤー |
|----|----------|-------------|------|
| 番号 | 信号名 | 見た入出力 | の色 |
| 1 | IP_WR | Input | 橙 |
| 2 | IP_DATA | Output | 黄 |
| 3 | IP_RESET | Input | 緑 |
| 4 | IP_CMD | Input | 青 |
| 5 | GND | | 黒 |
| · | 1 | | 1 |
| 6 | VCCIO | 3.3V、2.5V出力 | 赤 |

●ポケットロジアナとJTAG の信号の対応表

| ピン | ポケットロジアナ | JTAGの |
|----|----------|-------|
| 番号 | の信号名 | 信号名 |
| 1 | IP_WR | тск |
| 3 | IP_DATA | TDO |
| 5 | IP_RESET | TMS |
| 9 | IP_CMD | TDI |

16 導入編

- 第 2 章 -

チュートリアル編

| a 社の FPGA の場合17 | ュートリアル編 1. Altera 社 | チュ |
|---------------------|------------------------|----|
| 'ト Quartus II の操作17 | 1.1 Altera 社の開発ソフト Q | |
| 小の起動 22 | 1.2 ポケットロジアナソフトの | |
| 社の FPGA の場合 | ュートリアル編 2. Xilinx 社の | チュ |
| ト ISE の操作 | 2.1 Xilinx 社の開発ソフト ISE | |
| パの起動 | 2.2 ポケットロジアナソフトの | |

2 チュートリアル編

チュートリアル編 1. Altera 社の FPGA の場合

1.1 Altera 社の開発ソフト Quartus IIの操作 回路図からロジアナ IPを呼び出して使う方法を解説します。 このマニュアルでは、Quartus II Ver6.0を使用しています。

C:¥ProgramFiles¥PocketLogiana¥Tutorial¥altera¥plogiフォルダを適当な場所(ここでは C:¥plogi_work)にコピーします。

2 Quartus II を起動します。

3 メニューの [File | Open Project] を選択し、プロジェクトファイル C:¥plogi_work¥plogi¥plogi.qpfを開きます。

4 メニューの [File | Open] を選択し、plogi.bdfを開きます。

5 メニューの[Project | Add/Remove Files in Project]を選びます。 Add All ボタ ンを押して、ファイルをプロジェクトに加えます。

6 メニューの[Assignment | Device]でお客様の基板上のデバイスを選択します。

| General | Device | | | | | | |
|--|--|---|--|---|-------------------|----------------|-----|
| - Files User Libraries (Current Project) | Select the family and device | e you want I | to target for c | ompilation | 1. | | |
| Device Timing Analysis Settings Explant Tool Settings Compilation Process Settings Analysis & Synthesis Settings Analysis & Synthesis Settings Ariter Settings Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface SignalTobe Settings | Eamily: Cyclone Device & Pin Options Target device C Auto device selected C Optic device selec C Other: n/a Available devices: | Show in 'Avai Package: Pin <u>c</u> ount: Sp <u>e</u> ed grade: Core voltage: I▼ S <u>h</u> ow adv | able devices' I Any Any Any 1.5V vanced device | ist • • | | | |
| E - Simulator Settings F - PowerPlay Power Analyzer Settings | Name | IEs. | Memor | PU | | | - |
| | EP1C4F40017 EP1C6F256C6 EP1C6F256C7 EP1C6F256C7 EP1C6F256C7 EP1C6F25617 EP1C6F240C6 EP1C60240C7 EP1C6024007 EP1C6024017 EP1C6024017 EP1C6024017 | 4000 5980 5980 5980 5980 5980 5980 5980 5 | 78336 92160 92160 92160 92160 92160 92160 92160 92160 92160 | 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 | | | |
| | Migration compatibility | | Companio | n device - | | | |
| | Migration Devices | 1 | HardCopy | ll: | | | - |
| | 0 migration devices sele | ted | 👿 Limit D | SP & RAP | VI to HardCopy II | device resourc | es |
| | | | | | OK | Car | nce |

18

7 メニューの[Assignments | Device]で開いたダイアログの中の

Device & Pin Options ボタンを押します。

(1) Unused Pins タブで、As input try-stated with weak pull-up を選びます。

| Device & Pin Options |
|---|
| Voltage Pin Placement Error Detection CRC Capacitive Loading General Configuration Programming Files Unused Pins Dual-Purpose Pins |
| Specify device-wide options for reserving all unused pins on the device. To reserve individual dual-purpose configuration pins, go to the Dual-Purpose Pins tab. To reserve other pins individually, use the Assignment Editor. |
| Reserve all unused pins: As input tri-stated with weak pull-up |
| |
| |
| Description: Reserves all unused pins on the target device in one of 5 states; as inputs that are tri-stated, as |
| outputs that drive ground, as outputs that drive an unspecified signal, as input tri-stated with bus- hold, or as input tri-stated with weak pull-up. |
| |
| <u>R</u> eset |
| OKキャンセル |

(2) Configuration タブで、Passive Serial を選びます。

| Voltage | Pin Plac | ement | Error Detection | on CRC | Capacit | ive Loading | 1 |
|--|--|----------------------------------|-------------------------------|-----------------|------------|---------------------------|---|
| ieneral | Configuration | Progr | amming Files | Unused Pins | Dual- | Purpose Pins | s |
| pecify the ettings app | device configurati ly to the FPGA pro | on scheme stotype devi | ind the configuration :e. | n device. Note: | For HardCo | opy II, these | |
| onfiguratio | n <u>s</u> cheme: | assive Seria | (can use Configural | tion Device) | | • | |
| onfiguratio | n mode: S | tandard | | | | - | |
| - Configural | ion device | | | | | | |
| | configuration devi | ce: | Auto | | | - | |
| | | | | | - | | |
| | | | Confic | utation Device | | | |
| <u>G</u> enerat | e compressed bits | treams | Config | juration Device | Uptions | | |
| <u>G</u> enerat escription: 'he metho erial (PS); | e compressed bits d used to load dat and Active Serial | treams a into the de (AS). | Config vice. Two configura | tion schemes a | uptions | : Passive | Ī |
| <u>G</u> enerat escription: The methor Serial (PS); | e compressed bits d used to load dat and Active Serial | treams a into the de (AS). | Config vice. Two configura | uration Device. | Uptions | : Passive <u>Reset</u> | |

8 メニューの[Processing | Start Compilation]でコンパイルを行います。

9 メニューの[Assignments | Pins]で、入力ピン・出力ピンの割当を行います。 お客様の回路に合わせて設定してください。Locationのセルをダブルクリックして、ピン 番号を選択します。

10 入力ピンをWeak Pull-upします。ポケットロジアナのフラットケーブルをFPGA 基板に接続していないとき、入力にノイズが乗るのを防ぎます。入力ピン IP_WR の上で右クリックして、Locate in Assignment Editor を選びます。

| PIN_28 CL/ PIN_133 P_ PIN_141 P_ PIN_137 P_ | å Cut å Cut ■ Copy ■ Paste × Delete | Ctrl+X Ctrl+V Ctrl+V Del | |
|---|--|-----------------------------------|--|
| | Locate | • | Locate in <u>A</u> ssignment Editor |
| | 🖺 Update Symbol | or Bloc <u>k</u> | Locate in <u>P</u> in Planner Se Locate in Timing Closure Floorplan |
| | ∆ Flip <u>H</u> orizontal ⊰ Flip <u>V</u> ertical | | Locate in Chip Editor Locate in Resource Property Editor |
| | Rotate <u>b</u> y Degre | es r | Locate in Technology <u>M</u> ap Viewer |
| | <u>Z</u> oom | • | 휪 Locate in Design File |
| | ≌ ¹ Propertie <u>s</u> | | |

Assignment Name のセルをダブルクリックして、Weak Pull-Up Registorを選びます。

| То | Assignment Name | Value | Enabled | | | | |
|-------|----------------------------|---------------------------|---------|--|--|--|--|
| IP_WR | Location | PIN_133 | Yes | | | | |
| IP_WR | | | Yes | | | | |
| | Show 'X' on timing violati | ion | | | | | |
| | Slow Slew Rate (Accepts | s wildcards/groups) | | | | | |
| | Source Multicycle (Accep | ots wildcards/groups) | | | | | |
| | Source Multicycle Hold (/ | Accepts wildcards/groups |) | | | | |
| | Speed Optimization Tech | nnique for Clock Domains | | | | | |
| | State Machine Processin | g | | | | | |
| | tco Requirement (Accep | ts wildcards/groups) | | | | | |
| | th Requirement (Accept: | s wildcards/groups) | | | | | |
| | Toggle Rate (Accepts wi | ildcards/groups) | | | | | |
| | tpd Requirement (Accep | ts wildcards/groups) | | | | | |
| | tsu Requirement (Accep | ts wildcards/groups) | | | | | |
| | Virtual clock reference | | | | | | |
| | Virtual Pin | | | | | | |
| | Virtual Pin Clock | | | | | | |
| | Weak Pull-Up Resistor (# | Accepts wildcards/groups] |) | | | | |

Value のセルをダブルクリックして、On を選びます。

| То | Assignment Name | Value | Enabled |
|-------|-----------------------|---------|---------|
| IP_WR | Location | PIN_133 | Yes |
| IP_WR | Weak Pull-Up Resistor | - | Yes |
| IP_WR | | | Yes |
| | | Off | |
| | | On | |

同様にして入力ピン IP_CMD、IP_RESET についても、Weak Pull-up します。メニューの [File | Save]で設定を保存します。

11 メニューの[Processing | Start Compilation]で、再度コンパイルを行います。 ピンの設定状態は、Compilation Report の All Package Pins で分かります。

| | 📸 plogi.bdf | | | | - I 🥩 . | Assignm | ent Editor | | 🌵 Co |
|-----|-----------------------------|----------|------------------|----------|---------------|-------------|----------------------------------|--------|-----------------|
| [| 📲 Flow Non-Default Global 🖉 | <u> </u> | All Package Pins | | | | | | |
| | - Section Elapsed Time | ſ | | Location | Pad Number | 1/0 Bank | Pin Name/Usage | Dir. | 1/0 Standard |
| | E Flow Log | Ŀ | 128 | 128 | 106 | 3 | BESEBVED INPUT WITH WEAK PUILLIP | | orandara |
| | 🗈 🎒 🛄 Analysis & Synthesis | h | 120 | 120 | 100 | - | | and | |
| | 🖻 🚑 🔁 Fitter | H | 120 | 123 | | 2 | UND VOCIDO | ynu | |
| | 🛛 🚑 📰 Summary | | 130 | 130 | | 3 | | power | |
| | 🗐 🎟 Settings | | 131 | 131 | 107 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | Bin-Out File | | 132 | 132 | 108 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | Becource Section | | 133 | 133 | 109 | 3 | IP_WB | input | LVTTL |
| | | | 134 | 134 | 110 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | Resolute Osage 3 | | 135 | 135 | 111 | 3 | IP DATA | output | LVTTL |
| | | | 136 | 136 | 112 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | | | 137 | 137 | 113 | 3 | IP_RESET | input | LVTTL |
| | | | 138 | 138 | 114 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | | | 139 | 139 | 115 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | | | 140 | 140 | 116 | 3 | RESERVED_INPUT_WITH_WEAK_PULLUP | | |
| | Resource Utilizatio | ŀ | 141 | 141 | 117 | 3 | | input | |
| - 1 | | | | | | - | | | |

12 メニューの[Tools | Programmer]を選び、回路をダウンロードします。 ダウンロードケーブルを認識していない場合、<u>Hardware Setup</u>ボタンを押して、認識 させます。Program/Configure にチェックをして、Start ボタンを押します。

| 💾 plogi.cdf* | | | | | (| - 🗆 🛛 |
|--------------------|--------------------------------|--------------------------|----------|----------|-----------------------|--------|
| 🌲 Hardware Setup | ByteBlasterMV [LPT1] | | | | | |
| Mode: | JTAG | | | | | • |
| Progress: | | | 0% | | | |
| Enable real-time I | SP to allow background program | nming (for MAX II device | is) | | | |
| 🏓 Start | File | Device | Checksum | Usercode | Program/ Configure | Verify |
| 🖬 Stop | plogi.sof | EP1C6Q240 | 0010B1AA | FFFFFFF | | |
| Auto Detect | | | | | | |
| X Delete | | | | | | |
| 🗳 Add File | | | | | | |
| 👺 Change File | < | | | | | > |

メニューの[File | Save]で、Programmerの設定を保存します。

1.2 ポケットロジアナソフトの起動

「導入編8」に従って、ポケットロジアナとFPGA 基板がフラットケーブルで接続されているものとします。

1 スタートメニューからポケットロジアナを選び、ソフトを立ち上げます。

参考 ポケットロジアナ本体を接続せずにポケットロジアナソフトを起動すると、保存したファイルの波形ビューワ(viewer)として利用できます。

2 メッセージボックスに"ハードウェアは正常です"と表示されます。

3 Find IP ボタンを押し、5秒程待ちます。ロジアナ IPと信号発生 IP が見つかり、 下記のような画面になります。

| 🙆 ポケット | | ₹ ル | o) deta | (P/1) | | | | E | |
|------------------|-------------|--------------|------------|---------------|-----------|----------|---------|-------|---|
| ファイルビ ロジアナIP3 | 御朱(ビ)を探していま | i又正(す。しば | らくお待ち | 収止 | | | Find IP | | |
| ハードウェ7 | 7は正常です | ŧ. | | | | * | | | |
| ロジアナ1 | 信号発生1 | プロト: | עוב | | | | | | |
| RUN | 測定モード | シングル | ν ▼ | 測定間隔 10nS 👤 | AtoB 1 µS | A | <<>> | A HEX | |
| STOP | ズーム | ×1 | • | 測定時間 20.48 µS | FIND | NEXT B | < <> > | 7-0 | |
| 信号名 | СН | トリガ | A | В | | C | D | | - |
| | | 左 | 0 | 1µS | 2µS | 3µS | 4 µ S | 5µS | |
| | 0 | Rise | | | | | | | |
| | 1 | - | | | | | | | |
| | 2 | - | | | | | | | |
| | 3 | - | | | | | | | |
| | 4 | - | | | | | | | |
| | 5 | - | | | - | | | ł | |
| | 6 | - | | | | | | 1 | |
| | 7 | - | | | | | | į. | - |
| | | | • | | | | | | |

4 RUN を押します。測定が開始され、メッセージボックスに"ロジアナ1 測定中 です。"と表示されます。

5 信号発生1 タブをクリックし、ページを切り換えます。 メニューの[ファイル | 開く]を選択し、C:¥ProgramFiles¥PocketLogiana¥Test¥test.gen を開くと、信号発生用の波形が表示されます。

| 6 C:¥Pro | gram Files¥ | PocketL | ogiana¥Test¥t | est.gen | | | | | |
|-------------------|---|----------------|---------------|----------------------------|-----------|------|------|-----------|----|
| ファイル(E) | 編集(E) i | 设定(<u>S</u>) | 情報(I) | | | | | | |
| データファイ このファイルの | イルを開きました Dテータ数は256つ | きすが、ハート | ウェアのデータ数1024 | で表示しています。 | | Find | I IP | | |
| ロジアナ1 | 信号発生1 - | パロトコル | | | | | | | |
| RUN | 発生回数 10 | - | 発生間隔 100m | 5 ▼ 最大時間 | 102.4 µ S | 選択解除 | 1 | CLOCK | |
| STOP | ズ-ム × | 1 💌 | 発生範囲 0 | μ S \sim 102.4 μ | ١S | OnS | 0 | ALL CLEAR | |
| 信号名 | CH 0 1 2 3 4 5 6 6 7 | | | 1µS | 15µS | 2µS | | 25µS | 3, |
| | < | | | | | | | | > |

6 RUN を押します。メッセージボックスに"ロジアナ1 トリガを検出しました。" , "ロジアナ1 データ転送中です。"と表示されます。

信号発生,測定が終了すると、"ロジアナ 1 測定が終わりました。","信号発生 1 信 号発生が終わりました。"と表示されます。

7 ロジアナ 1 タブをクリックし、ページを切り換えると、測定した波形が表示されています。

| <mark> ゆ C:¥Program Files)</mark> ファイル(E) 編集(E) | ¥PocketLogiana¥Test¥test.gen 設定(S) 情報(1) | |
|---|---|--|
| ロジアナ1 測定が終わり 信号発生1 信号発生が終 | ました。 終わりました。 | Find IP |
| ロジアナ1 信号発生1 | プロトコル | |
| RUN 測定モート [®] シ | ンングル 測定間隔 10nS | $\begin{array}{c c} H & HEX \\ H & H \\ H & HEX \\$ |
| STOP Z-4 | ×1 _ 測定時間 20.48 µS _ F | IND NEXT BILLING CO |
| 信号名 CH ト | <mark>-リガ A B</mark> 左 0 1 μS 2 μS | C D Δ δ 3μS 4μS 5μS |
| 0 F | | |
| 1 - | | |
| 2 - | | |
| 4 - | · 1 | |
| 5 - | | |
| 6 - | | |
| / - | | |

8 メニューの[設定 | ハードウェア]を選択し、「ハードウェア設定」ダイアログを表示 すると、検出した IP(モジュール)の情報を見ることができます。

| 15、 杨吉士 司部中 | | | | | (The second seco |
|-------------------------------|--------|----------|--------|------|--|
| ハートリエア設定 | | | | | <u> </u> |
| モード(クロック) | | | | | 1 |
| 機種 PIP-10 | ハードウェア | モード Logi | ana IP | | • |
| ハードウエア情報 0E010100 04020001 | | | | | |
| CN1, CN2入力レベル 5V、3.3V共用 | 検出したモジ | ·ュールの一覧 | 2. | | |
| CN3出力レベル | モジュール | ページ | CH数 | データ数 | バージョン |
| 3.3V | 0 | ロジアナ1 | 8 | 2048 | 4.6 |
| | 1 | 信亏発生1 | 8 | 1024 | 4.6 |
| i尤 ⁰ 月 | | | | | |
| | | | | | |
| | | | | | |
| | | | | | |
| | | | | | |
| | | 1 | 1 | | |
| | OK | ±+ | 1 | | |
| | | | 100 | | |

ロジアナ IP に供給するクロックが 50MHz 以外の方は、同じダイアログで、「クロック」 タブをクリックし、IP クロック周期を整数で記入してください。

| ハードウェア設定 |
|-------------------------|
| モードクロック |
| クロック 内語クロック(50MHz) 🔽 |
| PLLディレイ OnS |
| 外部クロック周期 20 20~40nS |
| IPクロック周期 20 nS |
| i兑8月 |
| |
| |
| OKキャンセル |

9 これで動作確認は終了です。

測定を行うには、回路図 plogi.bdf に測定を行いたい(お客様開発の)回路を追加し、ロジアナ IPの入力 LOGLIN[7..0]に接続してください。

「応用編 1」では 32ch ロジアナ IP を追加して、32bit カウンタの出力を測定しています。

チュートリアル編 2. Xilinx 社の FPGA の場合

2.1 Xilinx 社の開発ソフト ISE の操作

このマニュアルでは、ISE8.1を使用しています。

C:¥ProgramFiles¥PocketLogiana¥Logiana IP¥Sample¥xilinx¥plogiフォルダを適当な場所(ここでは C:¥plogi_work)にコピーします。 コピー後: C:¥plogi_work¥ plogiフォルダ

2 ISE を起動します。

3 メニューの[File | New Project]を選択します。New Project Wizard が現れますの で、Project Location で C:¥plogi_work を選び、Project Name に plogi と入力します。 Next を押します。

| 🔤 New Project Wizard – Create New F | Project | - • • |
|--|---------------------|----------------|
| Enter a Name and Location for the Project | | |
| <u>P</u> roject Name: | Project Location | |
| plogi | C:¥plogi_work¥plogi | |
| | | |
| Select the Tupe of Top-Louel Seurce for the Projec | | |
| Top-Level Source Type: | t | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| More Info | < Back Next > | <u>C</u> ancel |

| Property Name | Value | |
|--------------------------------|------------------------------|---|
| Product Category | All | * |
| Family | Spartan3 | * |
| Device | XC3S200 | * |
| Package | FT256 | * |
| Speed | -4 | ~ |
| Top-Level Source Type | HDL | ~ |
| Synthesis Tool | XST (VHDL/Verilog) | ~ |
| Simulator | ISE Simulator (VHDL/Verilog) | ~ |
| Enable Enhanced Design Summary | | |
| Enable Message Filtering | | |
| Display Incremental Messages | | |
| | | |

| Source | File | Type | New Source |
|--------------------------------------|--|---|--|
| 1 | 1 110 | 1700 | Remove |
| | | | |
| Creating a new Project Wizard, Ac | source to add to th Iditional sources car | ne project is optional. Only one new source o n be created and added to the project by us | can be created with the New ing the "Project->New Sourc |
| Creating a new Project Wizard. Ac | source to add to th Iditional sources car | he project is optional. Only one new source o n be created and added to the project by usi command. | can be created with the New ing the "Project->New Sourc |

6 Add Source を押します。

| Mev | / Project Wizard - Add Existing Source | 38 | |
|--------------------|---|---------------------|----------------|
| Add ing "Projec | Source File Source File existing sources is optional. Additional sources can be t->Add Source" or "Project->Add Copy of Source" cc | Copy to Project Add | smove |
| More | Info | < Back Next > | <u>C</u> ancel |

全てのファイルを選択して、開くを押します。

| Select one or | more files to a | dd | ? 🔀 |
|---|---|---|-----|
| ファイルの場所型: | 🗁 plogi | - + È 📸 🎫 | |
| 最近使ったファイル デスクトップ マイドキュメント マイ コンピュータ マイ ネットワーク | bg/32.vhd wimb_v53.vhd wimb_v53.vhd wimml_v53.vhd wimml_w53.vhd wimml_w53.vhd wimml_v53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd wimml_w53.vhd | Image: public product of the produc | |
| | ファイル名(<u>N</u>): ファイルの種類(<u>T</u>): | "pl_or_32.vhd" " logi32.vhd" " mb_v53.vhd" " plogi.vhd' マ 開く(の) Source(*.txt *.vhd *.vhdl *.v *.abl *.xco *.sch *.edn マ キャンセ | |

| 7 Next を押します |
|--------------|
|--------------|

| | Source File | Copy to Proj | iect 🔼 | Add Source |
|--------------|--|---|----------|--------------|
| 1 | pl_or_32.vhd | | | Remove |
| 2 | logi32.vhd | | | |
| 3 | mb_v53.vhd | | | |
| 4 | plogi.vhd | | | |
| 5 | ml_v53.vhd | | | |
| 6 | mk_v53.vhd | | | |
| 7 | mj_v53.vhd | | | |
| 8 | mi_v53.vhd | | | |
| 9 | mh_v53.vhd | | | |
| 10 | mg_v53.vhd | | | |
| 11 | mf_v53.vhd | | | |
| 12 | me_v53.vhd | | ~ | |
| ding ojec | existing sources is optional. Additional so t->Add Source″ or ″Project->Add Copy of | urces can be added after the project Source" commands. | is creat | ed using the |

8 Finish を押します。

| Project Navigator will create a new project with the following specifications: Project: Project Name: plogi Project Path: C:\plogi_work\plogi Top Level Source Type: HDL Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | |
|---|---|
| Project: Project Name: plogi Project Path: C:\plogi_work\plogi Top Level Source Type: HDL Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) Enhanced Decise Summers, and led | |
| Project Name: plogi Project Path: C:\plogi_work\plogi Top Level Source Type: HDL Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | ^ |
| Project Path: C:\plogi_work\plogi Top Level Source Type: HDL Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | |
| Top Level Source Type: HDL Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | |
| Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) Enhanced Decise Summers and led | |
| Device: Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) Enhanced Decise Summers, each led | |
| Device Family: Spartan3 Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | _ |
| Device: xc3s200 Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) Enhanzed Design Symmetry, such led | |
| Package: ft256 Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | |
| Speed: -4 Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) | |
| Synthesis Tool: XST (VHDL/Verilog) Simulator: ISE Simulator (VHDL/Verilog) Enhanzed Decise Summerus, eachled | |
| Simulator: ISE Simulator (VHDL/Verilog) | |
| Enhanzed Design Commerce, eachled | |
| Enhanced Design Summerry, enchlad | |
| Ennanced besign Summary: enabled | |
| Message Filtering: disabled | ~ |
| | |
| | _ |
| Kara Kara Kara Kara Kara Kara Kara Kara | |
| | |
| | |

| 155 | Adding Source Files | |
|--------|---|---|
| T t | he following allows you to see the statu he project, and allows you to specify the | us of the source files being added t e Design View association for |
| s | ources which are successfully added to Design Unit | the project. |
| | sign ont | Synthesis/Implemev |
| | o pl_sub_10.vhd | |
| | PL_SUB_10 RTL | Synthesis/Imp + S 🗸 |
| | A stand Table | |

10 しばらく待つと、Sources ウィンドウに PLOGI が現れます。 PLOGI をクリックして、 選択します。

| Sources | | × |
|--------------|--------------------------|-----|
| Sources for: | Synthesis/Implementation | ~ |
| - 🔄 plogi | | |
| 😑 🛄 xc3s2l |)0-4ft256 | |
| ÷ ۲ | PLOGI - RTL (plogi.vhd) | |
| 🖏 ra | m40x1k (ram40x1k.edn) | |
| | | |
| | | |
| | | |
| | | |
| < | | > |
| 📑 🕻 Sources | 📸 Snapshots 🛛 👔 Lib | * > |

11 Processes ウィンドウの Implement Design をダブルクリックします。コンパイルが始

まります。

| | Processes A |
|-------------|---|
| | Processes: |
| | Add Existing Source |
| | Create New Source |
| | View Design Summary |
| | 🕀 🎽 Design Utilities |
| | Wer Constraints |
| | E COSSING Synthesize - XST |
| | Timplement Design |
| | 🗄 🛃 Generate Programming File |
| | |
| | |
| | ■‡ Processes |
| | |
| × | |
| Number of w | varnings: 0 |
| iotai time. | . 5005 |
| | wente Dest Diese & Deste Chatie Timine" severalstal sussess |

| | PLOGI Pr | oject Status | |
|------------------|----------------|----------------|-----------------------|
| Project File: | plogilise | Current State: | Placed and Routed |
| Module Name: | PLOGI | • Errors: | No Errors |
| Target Device: | xc3s200-4ft256 | • Warnings: | <u>26 Warnings</u> |
| Product Version: | ISE, 8.1i | • Updated: | 金 10 20 18:40:46 2006 |

13 Processes ウィンドウの User Constraints の Assign Package Pins をダブルクリック

します。

Yesを押します。

| 🔤 Proj | ject Navigator | × |
|--------|--|---|
| ? | This process requires that an Implementation Constraint File (UCF) be added to the project and associated with the selected design module. Would you like Project Navigator to automatically create a UCF and add it to the project at this time? If you select "No" you will need to create or add an existing UCF to the project before running this process. | t |
| | Yes No | |

14 しばらくすると、Xilinx PACE 画面が現れます。

| Xilinx PACE - C:¥plogi_work¥plogi¥PLOGLucf | |
|---|---|
| <u>F</u> ile <u>E</u> dit ⊻iew IOBs <u>A</u> reas <u>T</u> ools <u>W</u> indow <u>H</u> e | lp |
| D 🖆 🖬 🎒 🗠 🗰 🦊 🕺 🖬 🏠 📐 🔳 🕱 | 🗷 ಿ 🧸 🚺 🗷 🖉 🖉 🗆 🛛 🎗 ९ ९ 🗶 🦉 📗 |
| 🔋 Design Browser 💿 🔍 | Device Architecture for xc3s200-4-ft256 🖃 🖾 |
| ⊞ 🔄 I/O Pins | |
| Global Logic | |
| | |
| | |
| < | |
| | |
| Design Object List - I/O Pins - C | |
| CLK Input | |
| IP_CMD Input | |
| PRESET Input | |
| IP_WR Input | |
| | |
| | |
| | |
| | |
| | |
| | |
| | V Daulaus Marshitz dan Marshitz |
| | |
| For Help, press F1 | |

15 Design Object List ウィンドウを拡大し、Loc に FPGA 基板に応じたピン番号を入 力します。

| Xilinx P | ACE - [Desig | gn Objed | t Lis | t - I/O Pins] | | | | | | | |
|----------|-----------------------------|-----------------|--------------|--------------------------------|------|------|------------|-------------|------|-------|------------|
| Eile Ed | it <u>V</u> iew <u>I</u> OB | Bs <u>A</u> rea | s <u>I</u> c | iols <u>W</u> indow <u>H</u> e | lp | | | | | | - 🗗 X |
| 🛛 🗅 🖨 日 | 🖶 🖍 🛤 | * K? | B | S 🛛 🔁 🔁 | ABC | 6 | | 🗷 🖾 🗆 🟅 | 49.0 | R X C | 1 |
| I/O Name | I/O Direction | Loc | Bank | I/O Std. | Vref | Vcco | Drive Str. | Termination | Slew | Delay | Diff. Type |
| ULK | Input | - | | | | 1 | | | | | Unknown |
| IP_CMD | Input | | | LVCMOS33 | N/A | 3,30 | | | | 1 | Unknown |
| IP_DATA | Output | | | LVCMOS33 | N/A | 3,30 | - | | | | Unknown |
| IP_RESET | Input | | | LVCMOS33 | N/A | 3,30 | | | | | Unknown |
| IP WR | Input | | | LVCMOS33 | N/A | 3.30 | | | | - | Unknown |

ポケットロジアナと接続する信号の I/O Std.を LVCMOS33 または LVCMOS25 に設定 します。ポケットロジアナとの接続には、入出力レベルが 3.3V または 2.5V の I/O ピン を使用してください。

16 メニューの[File | Save]を選択します。下記のダイアログが現れますので、XST Default <> にチェックして OK を押します。

| E | Bus Delimiter 🛛 🛛 |
|---|--|
| | Select IO Bus Delimiter |
| | |
| | C XST Optional 8 |
| | ○ Synplify Verilog Default: [] |
| | ⊂ Synplify V <u>H</u> DL / Exemplar Default: () |
| | ☐ Don't show this dialog again |
| | (can be set through preferences dialog) |
| | OK Cancel <u>H</u> elp |

17 メニューの[File | Exit]で Xilinx PACE を終了します。

18 Processes ウィンドウの Implemant Design の横のマークがオレンジになっていま す。Implement Design をダブルクリックします。コンパイルが始まります。12 項のように、 正常終了すれば OK です。

19 Pinout Report でピン割り当てを確認します。

20 作成した回路を FPGA にダウンロードします。お客様作成の基板に、Xilinx 社の ダウンロードケーブルを接続します。

参考文献: ISE 8.1i クイック スタート チュートリアル.pdf page 29 Spartan-3 デモ ボードへのデザインのダウンロード

Xilinx 社のホームページ http://www.xilinx.co.jp/で、キーワードを「ISE 8.1i クイック スタート」、検索対象を「マニュアル」にして検索すると見つかります。

| | ISE 8.1i クイック スタート マニュアル |
|--|------------------------------------|
| 製品とサービス アブリケーション情報 サポート | 購入情報 ザイリンクスについて |
| ISE 8.1i クイック スタート Google 検索 | 一級リ込み検索 |
| | |
| | 日付順ノマッチ率の高い順 |
| (PDF) ISE 8.1i Page 1. R ISE 8.1i クイック スタート チュート リアル Page 2 7 R ISE 8.1i クイック スタート チュート リアル このチュート リ リ ン ク スの PLD 設計者を対象に、 ISE 8.1i を使用した基本的な - 2006-03-06 | www.xilinx.co.jp アルでは、ザイ stデ |

21 Processes ウィンドウの Generate Programming File の Configure Device (iMPACT)をダブルクリックします。

22 しばらくすると、下記のダイアログが現れます。 Finish を押します

| 🖶 IMPACT – Welco | me to iMPACT | |
|---|---|-------|
| Please select an action | from the list below | |
| Configure devices (| using Boundary-Scan (JTAG) | |
| Automatically | connect to a cable and identify Boundary-Scan chain 💌 | |
| 🔵 Prepare a PROM Fi | ile | |
| 🔿 Prepare a System / | ACE File | |
| Prepare a Boundary | ∕-Scan File | |
| | SVF 😒 | |
| O Configure devices | | |
| | using Slave Serial mode 🛛 🕑 | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | < <u>B</u> ack <u>F</u> inish <u>C</u> | ancel |

| <table-of-contents> Assig</table-of-contents> | n New Configuration File | | 2 🛛 | |
|---|--|------------------------|-------------------------------|-----------|
| Look jn: | s | • | | |
| File <u>n</u> ame File <u>t</u> ype: | * plogibit All Design Files (*.bit *.rbt *.nky *.isc *.bsd | Cancel All | Open Cancel Bynass | |
| | | | | |
| Warning WARNING but the o | GiMPACT 2257 – Startup Clock has been changed riginal bitstream file remains unchanged. | to 'JtagClk' in the bi | tstream stored in merr | ory, |
| WARNING but the o | GilMPACT:2257 – Startup Clock has been changed riginal bitstream file remains unchanged. OK | to 'JtagClk' in the bi | tstream stored in merr | ory, |
| WARNING WARNING but the o | GiMPACT 2257 – Startup Clock has been changed riginal bitstream file remains unchanged. のK ・押します。 | to 'JtagClK' in the bi | tstream stored in merr | ory, |
| WARNING WARNING but the o Bypass | A:IMPACT:2257 - Startup Clock has been changed riginal bitstream file remains unchanged. のK ・押します。 の New Configuration File | to 'JtagCIK' in the bi | tstream stored in mem | ₹ ory, |
| WARNING WARNING but the o Bypass | A:IMPACT 2257 - Startup Clock has been changed riginal bitstream file remains unchanged. のK が押します。 n New Configuration File 全で/plogi_work/plogi | to 'JtagCIK' in the bi | tstream stored in mem ? X | iory, |
| Warning WARNING but the o Bypass Assig Look jn: 一。 一。 一。 一 | SiMPACT 2257 - Startup Clock has been changed riginal bitstream file remains unchanged. のK が用します。 の の New Configuration File 全国 C:/plogi_work/plogi | to 'JtagClK' in the bi | tstream stored in merr ? 🔀 | ory, |
| WARNING but the o Bypass & Look jn: ngo xst File name | A:IMPACT:2257 - Startup Clock has been changed riginal bitstream file remains unchanged. のK ・押します。 rn New Configuration File 全国C:/plogi_work/plogi gs | to 'JtagCIK' in the bi | tstream stored in mem | ory, |
| WARNING but the o but the | All Design Files (*.mcs *.exo *.isc *.bsd) | to 'JtagOlK' in the bi | tstream stored in mem | ory, |
| WARNING but the o but the | SiMPACT 2257 - Startup Clock has been changed riginal bitstream file remains unchanged. のK ・ 中します。 rn New Configuration File 全つ:/plogi_work/plogi gs * All Design Files (*.mcs *.exo *.isc *.bsd) | to 'JtagOIK' in the bi | Estream stored in mem | iory, |
| WARNING but the o but the | SiMPACT 2257 - Startup Clock has been changed inginal bitstream file remains unchanged. のK ・ 中します。 rn New Configuration File 全コ C:/plogi_work/plogi gs * All Design Files (*.mcs *.exo *.isc *.bsd) | to 'JtagOlK' in the bi | Estream stored in mem | io ry, |

| ┃ iMPACT が起動し ■ iMPACT - C:/plogi | ました。 work/plogi/plogi.ipf - [Bou | Indary Scan] | |
|---|---|------------------|--|
| Sile Edit View Operat | ions Op <u>t</u> ions <u>O</u> utput Debug | Window Help | |
| : 📂 🖬 👗 🖻 🗋 🗶 🛱 | *★ ■ = = = = = = = = | | |
| Solution Series S | Right click device to select operation TDI | xct02s bypass | |
| iMPACT Process Operations | Boundary Scan | | |
| × | | | |
| SC | | | |
| 📙 Output Error Warning | | | |
| | | | |

27 FPGA のアイコンで右クリックして、Program を選びます。

28 OKを押します。

| Advanced PROM Programming Properties | Programming Properties |
|---|---|
| Revision Properties | Verify |
| | General OPLD And PROM Properties |
| | Erase Before Programming Read Protect Prom/CogIRunner-II Usercode (8 Hex Digits) |
| | CPLD Specific Properties |
| | Write Protect Functional Test On-The-Fly Program |
| | XPLA UES Enter up to 13 characters |
| | Load FPGA Parallel Mode Use D4 for CF |
| | Virtex-II/Virtex-4 Programming Properties |
| | Pulse PROG Secure Mode Program Key |
| | |
| | |
| | |
| | |
| | |
| | OK Cancel Apply Help |
| ×c3e20 | 0 vef02e |
| plogi.bit | t bypass |
| plogi.bit | Drocrom Cucco de d |
| plogi.bit | Program Succeeded |
| plogi.bit | Program Succeeded |
| plogi.bit TDO ミニューの[File Exit]で: | t bypass Program Succeeded iMPACT を終了します。 Yes を押します。 |
| plogi.bit TDO ニューの[File Exit]で ■ Exit_iMPACT | t bypass Program Succeeded iMPACT を終了します。Yesを押します。 |
| TDO TDO ニューの[File Exit]で Exit iMPACT | t bypass Program Succeeded iMPACTを終了します。Yesを押します。 |
| rboszó plogi.bi TDO File Exit]で Exit iMPACT Oo you w | t bypass Program Succeeded iMPACTを終了します。Yesを押します。 ant to save project file before exiting? |
| TDO TDO Exit iMPACT ② Do you w | t bypass Program Succeeded iMPACTを終了します。Yesを押します。 want to save project file before exiting? |
| TDO TDO =ユーの[File Exit]で Exit iMPACT ② Do you w <u>Yes</u> | t bypass Program Succeeded iMPACTを終了します。 Yesを押します。 want to save project file before exiting? |
| TDO TDO File Exit]で Exit iMPACT O you w | t bypass Program Succeeded iMPACTを終了します。Yesを押します。 want to save project file before exiting? No Cancel |
| TDO TDO File Exit]で Exit iMPACT O you w | t bypass Program Succeeded iMPACTを終了します。Yesを押します。 want to save project file before exiting? |

2.2 ポケットロジアナソフトの起動

「導入編8」に従って、ポケットロジアナとFPGA 基板がフラットケーブルで接続されているものとします。

1 スタートメニューからポケットロジアナを選び、ソフトを立ち上げます。

参考 ポケットロジアナ本体を接続せずにポケットロジアナソフトを起動すると、保存したファイルの波形ビューワ(viewer)として利用できます。

2 メッセージボックスに"ハードウェアは正常です"と表示されます。

| 🚯 ポケットロジアナ | 00 |
|---------------------|---------|
| ファイル(E) 編集(E) 設定(S) | 情報① |
| ハードウェアは正常です。 | Find IP |
| | |
| | |
| | |
| | |
| | |
| | |
| | |
| | |
| | |
| | |

3 Find IP ボタンを押し、5秒程待ちます。ロジアナ IPと信号発生 IP が見つかり、

下記のような画面になります。

| 🚳 ポケット ו | ロジアナ | | | | | | 80 | × |
|-------------------|----------------------|-------------------|---------------|-----------|--------|---------|-------|---|
| ファイル(E) | 編集(<u>E</u>) 設 | :定(<u>S</u>) 情報 | 報(1) | | | | | |
| ロジアナIPを ハードウェア | を探しています。し 7は正常です。 | しばらくお待ち | らください。 | | | Find IP | | |
| ロジアナ1 | プロトコル | | | | | | | |
| RUN | 測定モード シン | グル 💌 | 測定間隔 10nS 🗾 | AtoB 1 µS | A [[<] | <>> P | HEX | - |
| STOP | ズーム ×1 | • | 測定時間 10.24 µS | FIND | IEXT B | <>> 3 | 1-0 | |
| 信号名 | CH FU: | ガ A | В | | C | D | 2 | |
| | 左 | 0 | 1µS | 2µS | 3µS | 4 µ S | 5µS _ | |
| | 0 Rise | 8 | | | | | | |
| | 1 - | | | | | | | |
| | 2 - | | | | | | | |
| | 3 - | | | | | | | |
| | 4 - | | | | | | | |
| | 5 - | | | | | | | |
| | 6 - | | | | | | | |
| | 7 - | | | | | | | • |
| | | • | | | | | • | |

4 RUN を押します。波形が表示されます。これは plogi.vhd 内に記述している 32bit カウンタの出力波形です。

| 🌀 ポケットロジアナ | | | | |
|-------------------------------------|--|-----------|---------------|----------------|
| ファイル(E) 編集(E) 設定(S) | '情報(I) | | | |
| ロジアナ1 データ転送中です。 ロジアナ1 測定が終わりました。 | | | Find IP | |
| ロジアナ1 プロトコル | | | | |
| RUN 測定モード シングル | ▼ 測定間隔 20nS ▼ | AtoB 2 µS | A (<<>>) A | HEX |
| STOP X-4 X1 | ▼ 測定時間 20.48µS | FIND NEXT | В <<>> 31-0 | 419051E9 |
| 信号名 CH トリガ | A B | (| D D | |
| 左 | 0 2 <i>µ</i> S | 4 µ S | 6µS 8µS | 10 µ: |
| 0 Rise | | | | |
| 1 - | เททสุมการการการการการที่มากกรุ่มการการการการการการการการการการการการการก | | | กกกกกกกกกุลกกา |
| 2 - | տուսուսուսու | mmmmm | nimmmmmmmm | www. |
| 3 - | | mmm | mmmm | UUUU |
| 4 - | | | | |
| 5 - | | | | |
| 6 - | | | | |
| 7 - | | 1 | | • |
| 4 | | | | |

5 メニューの[設定 | ハードウェア]を選択し、「ハードウェア設定」ダイアログを表 示すると、検出した IP(モジュール)の情報を見ることができます。

| ハードウェア設定 | | | | | |
|-------------------------------|------------|---------------------|-----------|--------------|--------------|
| モード クロック | | | | | |
| 機種 PIP-10 | ハードウェア | モード [Logi | ana IP | | • |
| ハードウエア情報 0E010100 04020001 | | | | | |
| CN1, CN2入力レベル 5V、3.3V共用 | 検出したモジ | ¹ ュールの→¶ | ة. | | |
| CN3出力レベル 3.3V | モジュール 0 | ページ ロジアナ1 | CH数 32 | データ数 1024 | パージョン 5.3 |
| i兑8月 | | | | | |
| | | | | | |
| | | | | | |
| | | | | | |

ロジアナ IP に供給するクロックが 50MHz 以外の方は、同じダイアログで、「クロック」 タブをクリックし、IP クロック周期を整数で記入してください。

| ハードウェア設定 |
|--------------------------------|
| モード クロック |
| クロック 内部クロック(50MHz) <u>、</u> |
| PLLディレイ OnS |
| 外部クロック周期 20 20~40nS |
| IPクロック周期 20 nS |
| [兌9月 |
| |
| |
| |
| OK キャンセル |

6 これで動作確認は終了です。

測定を行うには、plogi.vhd に測定を行いたい(お客様開発の)回路を追加し、ロジ アナ IP の入力 LOGI_IN[31..0]に接続してください。plogi.vhd 内に記述している 32bit カウンタは不要ですので削除してください。

42 チュートリアル編

- 第 3 章 -応用編

| 43 | 1. ロジアナ IP を追加する | 応用編 |
|-----|---------------------------------|-----|
| | Altera 社の開発ソフト Quartus II の操作 . | 1.1 |
| う52 | VHDL/VerilogHDL からロジアナ IP を使 | 1.2 |

応用編 1. ロジアナ IP を追加する

C:¥ProgramFiles¥PocketLogiana¥Logiana IP¥PartsBox および、C:¥ProgramFiles ¥PocketLogiana ¥Logiana IP¥Sample には、各種 IP モジュールが置いてあります。

「チュートリアル編 1」で作成した C:¥plogi_work¥plogi は、8ch ロジアナと8ch パター ンジェネレータの組合せでしたが、これに32ch ロジアナを追加します。

注意 IPモジュールの最大個数は、ロジアナが3個まで、信号発生が3個まで、合計 では5個までです。

注意 フォルダ名が*compress となっている IP モジュールで、フォルダ内に* _v53.vhdというファイルを含む IP 同士を組み合わせることはできません。ただし、同一 IP を複数個使用することは可能です。

注意 Xilinx 社の FPGA 用のパターンジェネレータ IP はありません。

1.1 Altera 社の開発ソフト Quartus II の操作

このマニュアルでは、Quartus II Ver6.0を使用しています。

1 C:¥ProgramFiles¥PocketLogiana¥Logiana IP¥PartsBox¥quartus¥cyclone ¥ana32x1k compress フォルダ内のファイルを C:¥plogi_work¥plogi にコピーします。

2 Quartus II を起動します。

3 メニューの[File | Open Project]を選択し、プロジェクトファイル C:¥plogi_work¥p logi¥plogi.qpfを開きます。

4 メニューの[File | Open]を選択し、plogi.bdfを開きます。

5 シンボル logi8_8 をダブルクリックし、logi8_8.gdfを開きます。

6 シンボル ana8x2kc_v46 の下の空きスペースでダブルクリックし、 ana32x1kc_compress_v52 を選びます。

| Symbol | |
|---|---|
| Libraries: Project Data ana32x1kc_compress_v52 Data ana8x2kc_v46 Data ana8x2kc_v46 Data ana0x1kc_v46 Data ana0x1k Data ana0x1k | ana32x1kc_compress_v52 LCLK LDATA CMD[15.0] PRM[31.0] MDN0[3.0] PRMWVR |
| Name: | |
| | inst |
| MegaWizard Plug-In Manager | |

左クリックし、ana8x2kc_v46の下に置きます。

7 ana8x2kc_v46 の入出力を参考に、ana32x1kc_compress_v52 に信号を接続しま す。

ana8x2kc_v46の入力信号を囲むようにドラッグして選択し、右クリックでコピーし、空 きスペースで右クリックし、ペーストします。ペーストした信号はドラッグで移動できます。 信号の並びが ana8x2kc_v46 とは異なりますので、信号を1つずつ移動して、下記の ように接続します。LDATA0 についてもコピー・ペーストします。

信号 LOGI_IN2[7..0]をダブルクリックし、開いたダイアログで信号名を LOGI_INB[31..0]に変更します。同じように、PRM[7..0]を PRM[31..0]に、LDATA0 を LDATA2 に変更します。ダイアログが開かず、直接、信号名を編集できることもありま す。

| Pin Properties | | × |
|-------------------------------------|---|---|
| General Format | 1 | |
| To create multip enter a comma-s | le pins, enter a name in AHDL bus notation (for example, "name[3.0]"), or separated list of names. | |
| <u>P</u> in name(s): | LOGI_INB[310] | |
| <u>D</u> efault value: | VCC | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | 1 |
| | OK キャンセル | |

LPM_CONSTANT の上のLPM_CVALUEをダブルクリックし、開いたダイアログで値を2に変更します。0と1は、ana8x2kc_v46とgen8kx1kc_v46が使用しているので、2を使います。この数字はモジュール番号です。モジュール番号は0から5の間で、重ならないようにします。

| – Parameter – – <u>N</u> ame: | LPM_ | CVALUE | • | <u>C</u> hange |
|----------------------------------|------------|---|---|----------------|
| <u>S</u> etting: | 2 | | • | Delete |
| Description: | Unsig | ned value to which outputs will be set | | |
| Existing parame | ter settin |]\$: | | |
| Name | Value | Description | | |
| LPM_CVALUE | 0 | Unsigned value to which outputs will be set | | |
| LPM_WIDTH | 4 | Width of output, any integer > 0 | | |

変更後の ana32x1kc_compress_v52 の入出力です。

8 回路図の右上のシンボル OR2 の下の空きスペースで、ダブルクリックして、 Name の欄に or3 と入力し、OK を押します。

| Symbol | |
|----------------------------|-------------|
| Libraries: | on3 inst |
| ☐ | |
| MegaWizard Plug-In Manager | |

OR2の下に置きます。

9 出力シンボル LDATA をカットし、OR3 の出力に置きます。OR3 の入力にカーソルを移動すると、矢印が十字に変ります。そこからドラッグして、ワーヤーを下記のように引き出します。

10 ワイヤーを右クリックし、Properties を選びます。ダイアログの Name の欄に LDATA0と入れて、OKを押します。

| Node Propert | ies |
|---------------------|----------------------|
| General Font | Format |
| <u>N</u> ame: | LDATA0 |
| 🔲 <u>H</u> ide name | in block design file |

同じようにして、LDATA1, LDAT2 と入れます。

LDATA0 083 LDATA1 0UTPUT LDATA

囲むようにドラッグして OR2 と入出力ワイヤーを選択し、Delete キーを押して、削除します。

11 メニューの[File | Create / Update | Create Symbol Files for current File]で、 Logi8_8 の回路図用シンボルを更新します。下記のメーセージが出ますので、はいを 選びます。

| はい(公) いいえ(D) | |
|--------------|--|

| Quartus | : II 🛛 |
|---------|-----------------------------------|
| ٩ | Created Block Symbol File logi8_8 |
| | ОК |

12 これで回路図 Logi8_8 の変更は終了です。メニューの[File | Save]で回路図を 保存します。下記のメーセージが出ますので、はいを選びます。

ファイル名 logi8_8.bdf で保存します。

| Save As | | | | | × |
|--|-----------------------------------|----------------------------|--------------------|-----------|----------------|
| 保存する場所(型: | 🚞 plogi | | • | + 🗈 💣 💷 - | |
| していたしていたしていた。 最近使ったファイル | ₱ plogi.bdf db | | | | |
| デスクトップ | | | | | |
| עלעביא איז איז איז איז איז איז איז איז איז א | | | | | |
| ער בארב אלי די בארב אי | | | | | |
| र्न २७२७-७ | | | | | |
| | ファイル名(<u>N</u>): ファイルの新類(T): | logi8_8.bdf | matia Eila (Khdf) | - | 保存(S) キャンパル |
| | ✓ Ac | dd file to current project | matic File (*.DdT) | <u> </u> | |

13 左上のタブ plogi.bdfをクリックして、plogi.bdfに移動します。シンボル logi8_8 の 上で左クリックして選択し、Delete キーを押して削除します。出力信号を囲むようにド ラッグして選択し、少し右に移動します。

空きスペースでダブルクリックして、logi8_8 を選び、OK を押します。位置を入力信号 に合わせて置きます。

15 空きスペースでダブルクリックして、counter_32を選び、logi8_8の下に置きます。

50 応用編

入力に CLK、出力に INB[31..0]を配線します。

16 これで plogi.bdf の変更は終了です。メニューの[File | Save]で回路図を保存 します。

17 メニューの[Project | Add/Remove Files in Project]で、logi8_8.gdfをRemove し、counter_32.vhdと ana32x1kc_compress_v52.gdf、anaeng32x1k_compress_v52.tdf、ram40x1k.vhdをプロジェクトに Add します。

| <u>File name:</u> | () | ∆dd |
|--|--|--|
| File name | Туре | Add All |
| ram40x1k.vhd anaeng32x1k_compress_v52.tdf ana32x1kc_compress_v52.gdf counter_32.vhd ana8x2kc_v46.gdf anaeng8x2k_v46.tdf cmdsep_v3.tdf geneng8x1kc_v46.gdf geneng8x1k_v46.tdf plogi.bdf ram8x1k.vhd ram8x2k.vhd logi8_8.bdf | VHDL File AHDL File Graphic Desig VHDL File Graphic Desig AHDL File Graphic Desig AHDL File Block Diagram VHDL File VHDL File Block Diagram | <u>R</u> emove Up <u>D</u> own <u>P</u> roperties |

18 「チュートリアル編」と同じようにコンパイル、ダウンロード、ポケットロジアナソフトの起動を行います。

1.2 VHDL/VerilogHDL からロジアナ IP を使う

VHDL または VerilogHDL からロジアナ IP を呼び出して使う方法を解説します。

「応用編 1.1」と同様に、プロジェクトファイルを開き、plogi.bdfを開きます。

2 メニューの[File | Create / Update | Create HDL Design File for Current File] を選びます。VHDL または VerilogHDL を選びます。

| Create HDL Desig | n File for Current File | |
|--|-------------------------|---|
| File type | Add VHDL Statements | J |
| (V <u>e</u> rilog HDL <u>F</u> ile name: plogi.vhd | OK Cancel | |

ロジアナ IP を利用する VHDL または VerilogHDL ソースコード(plogi.vhd または plogi.v)が作成されます。

3 メニューの[Project | Add/Remove Files in Project]を選びます。plogi.bdfを選択し、Remove ボタンを押して plogi.bdfをプロジェクトから削除します。

Add ボタンを押して、plogi.vhd または plogi.v をプロジェクトに加えます。

4 この状態でコンパイルを行うと、VHDLまたは VerilogHDL からロジアナ IPを呼び 出して使う形になります。

Pocket Logiana

有限会社 エムビーウェア

〒862-0954 熊本市神水 1-21-8-409 TEL/FAX:096-385-6312 (お掛けになる場合、発信者番号通知が必要です) E-mail:support@mbeware.com http://www.mbeware.com