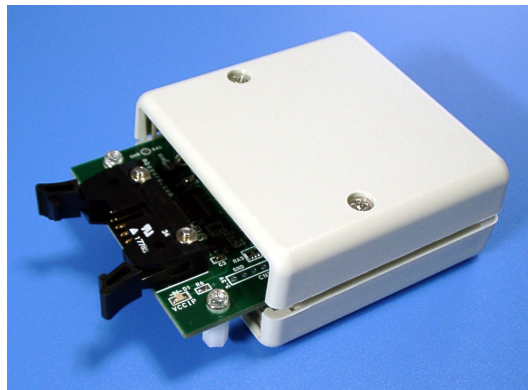


Pocket Logiana

ポケットロジアナ IP PIP-10 マニュアル



Ver.5.50 対応
2009/1/6 版

有限会社 エムビーウェア

目次

第 1 章 導入編

導入編 1. 梱包内容をお確かめください	1
導入編 2. お客様に用意していただくもの	1
導入編 3. ユーザー登録	2
導入編 4. 注意事項	2
導入編 5. 各部の名称	3
導入編 6. ソフトウェアのインストール	4
導入編 7. USBドライバのインストール	6
7.1 Windows XP の場合	6
7.2 Windows Vista の場合	9
導入編 8. ポケットロジアナとお客様開発の基板との接続	12
8.1 IP ケーブルで接続する	12

第 2 章 チュートリアル編

チュートリアル編 1. Altera 社の FPGA の場合	17
1.1 Altera 社の開発ソフト Quartus II の操作	17
1.2 ポケットロジアナソフトの起動	22
チュートリアル編 2. Xilinx 社の FPGA の場合	26
1.1 Xilinx 社の開発ソフト ISE の操作	26
1.2 ポケットロジアナソフトの起動	39

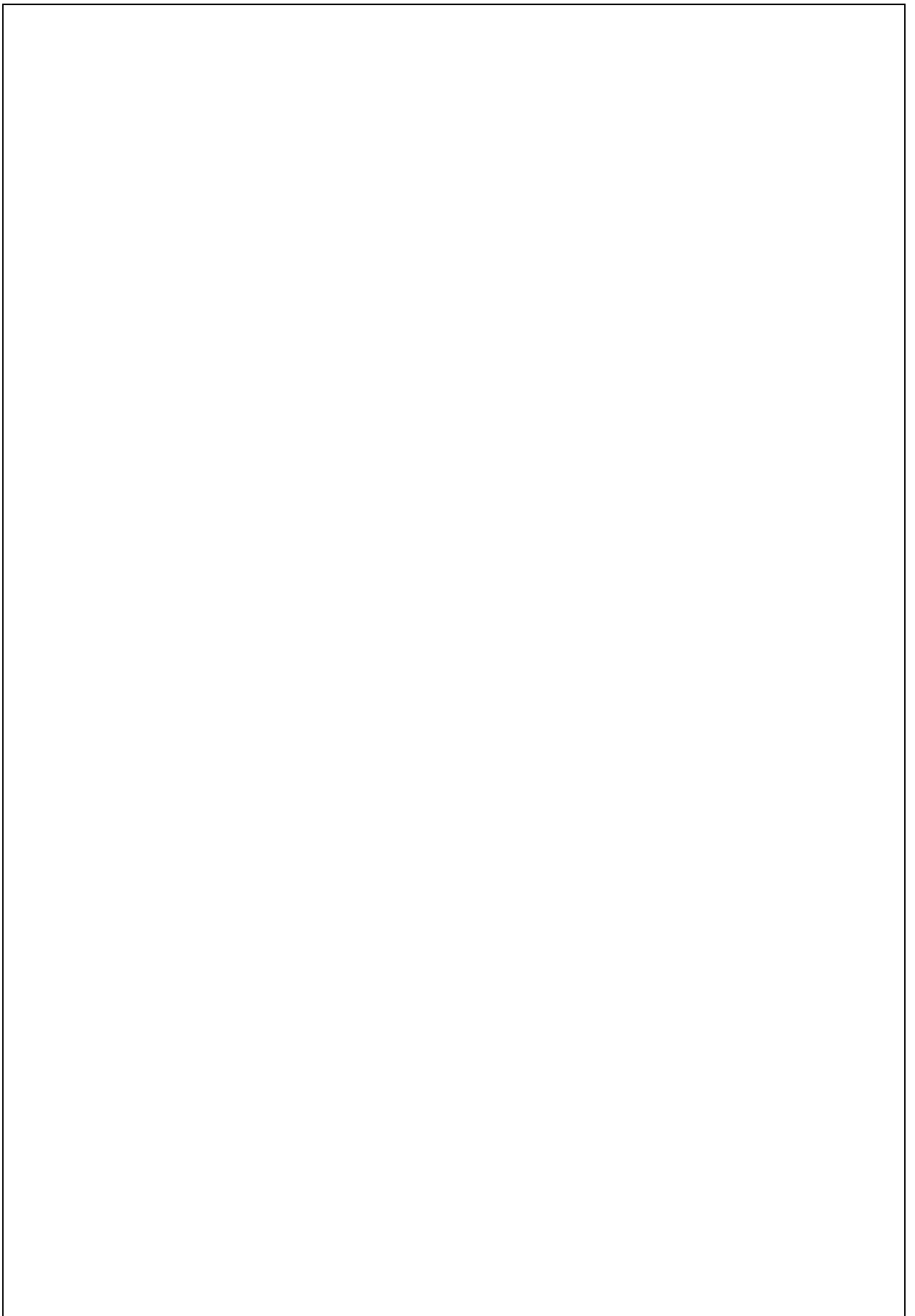
第 3 章 応用編

応用編 1. ロジアナ IP を追加する	43
1.1 Altera 社の開発ソフト Quartus II の操作	43
1.2 VHDL/VerilogHDL からロジアナ IP を使う	52

— 第 1 章 —

導入編

導入編 1. 梱包内容をお確かめください	1
導入編 2. お客様に用意していただくもの	1
導入編 3. ユーザー登録	2
導入編 4. 注意事項	2
導入編 5. 各部の名称	3
導入編 6. ソフトウェアのインストール	4
導入編 7. USBドライバのインストール	6
7.1 Windows XP の場合	6
7.2 Windows Vista の場合	9
導入編 8. ポケットロジアナとお客様開発の基板との接続	12
8.1 IP ケーブルで接続する	12



導入編 1. 梱包内容をお確かめください

梱包を開いたら、購入品が揃っているかご確認ください。万一、品が足りない場合、破損していた場合は、お手数ですが弊社（有）エムビーウェアまでご一報をお願い致します。

- ポケットロジアナ IP 本体
- USBケーブル(TypeA-MiniB)
- IP ケーブル
- CD-ROM
- 保証書

導入編 2. お客様に用意していただくもの

(1) WindowsXP, Vista を搭載したパソコン

Windows 98, 98SE, Me, 2000 はサポートしていません。

(2) FPGA 評価基板、またはお客様開発のボード

本製品は、Cyclone および Spartan-3 を搭載した基板で動作確認を行っています。

(3) Altera 社の FPGA 開発ソフト、およびダウンロードケーブル(ByteBlasterMV など)

Quartus II Web Edition Ver6.0 以降(無料)、または Quartus II Ver6.0 以降(有料)
無料ソフトは、下記の日本アルテラ社のホームページよりダウンロードできます。

http://www.altera.co.jp/support/software/download/sof-download_center.html

USB 接続のダウンロードケーブル Terasic Blaster もあります。

<http://solitonwave.co.jp/products/usbbaster.html>

(4) Xilinx 社の FPGA 開発ソフト ISE 8.1i 以降、およびダウンロードケーブル

http://japan.xilinx.com/products/design_resources/design_tool/index.htm

導入編 3. ユーザー登録

お客様のサポートを円滑に行うため、当社ではユーザー登録をオンラインで行っております。当社のホームページの「ユーザー登録」の文字リンクから、ユーザー登録画面にお入りください。

ユーザー登録された方には、ホームページの「ソフトウェアアップグレード」のページに入るためのパスワードを送付いたします。

<http://www.mbeware.com>

導入編 4. 注意事項

1. IP ケーブル用 BOX ヘッダーCN1のレバーは硬いため、IP ケーブルのソケットを半分ほど挿入したら、レバーを閉じ、その後さらにソケットを押し込んでください。最後にレバーが完全に閉じていることを確認してください。

IP ケーブルを外す時はレバーを開きますが、片側だけ開き易いので注意してください。レバーをできるだけ、均等に開いてください。IP ケーブルのソケットが片側だけ持ち上がると、BOX ヘッダーのピンが曲がる場合があります。

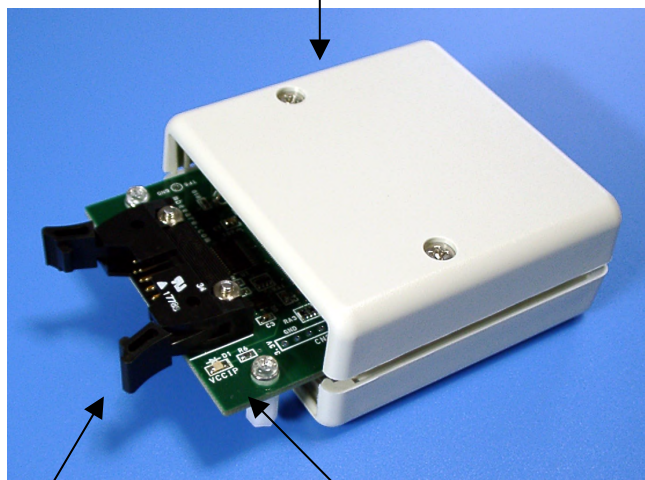
2. IP ケーブル用 BOX ヘッダーCN1の入出力電圧レベルは 3.3V または 2.5V です (5V は不可)。4.6V を超える電圧を入出力端子に加えないでください。

また、VCCIO 端子への供給電圧は 3.3V または 2.5V です。3.6V を超える電圧を VCCIO 端子に加えないでください。

3. IP ケーブル用 BOX ヘッダーCN1の裏にはピンが露出しています。CN1のピンと他の基板とのショートに注意してください。

導入編 5. 各部の名称

本体

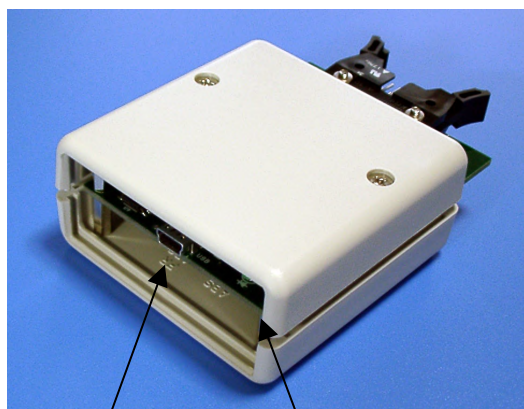


CN 1

FPGA 基板と接続

VCCIO LED

VCCIO と本体電源 ON のとき点灯



USB MiniB
コネクタ

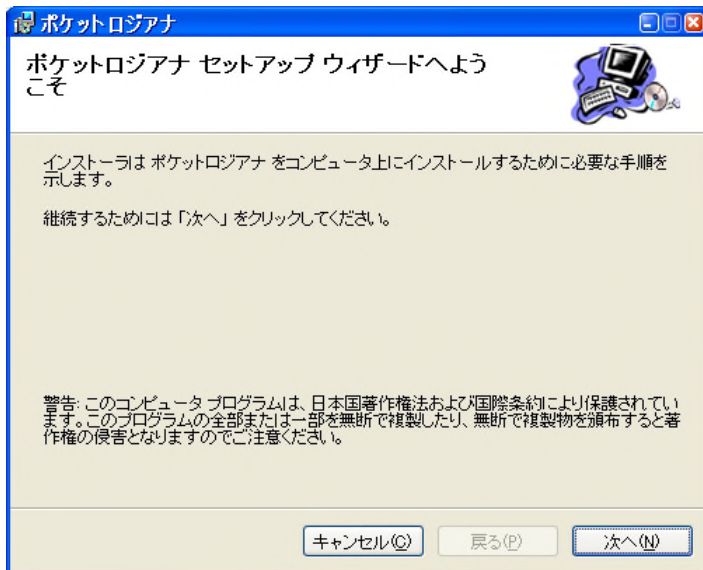
Power LED
本体電源 ON で点灯

導入編 6. ソフトウェアのインストール

1 ポケットロジアナ CD-ROM を、CD-ROM ドライブ に入れます。この時点では、ポケットロジアナは、**接続していません**。

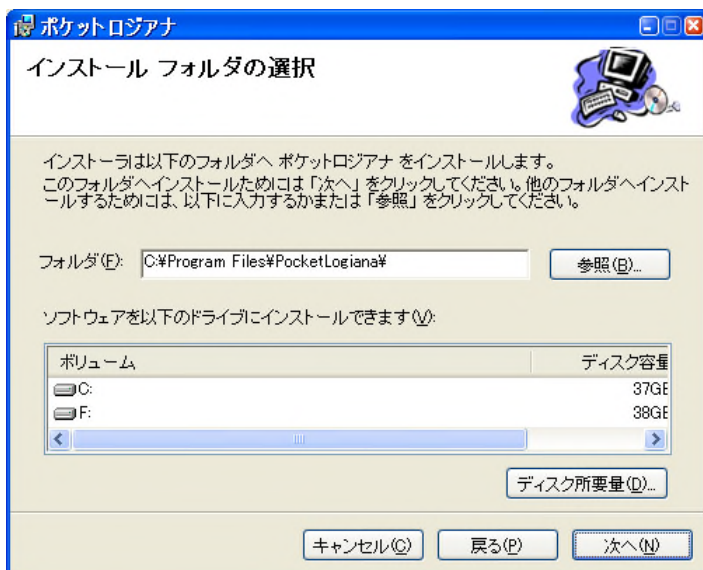
CD-ROM 内のフォルダ ¥Windows_XP_Vista ¥Setup 中の **PocketLogiana_XP_Vista.msi** をダブルクリックします。

2 **次へ** を押します。



【1-5-2】

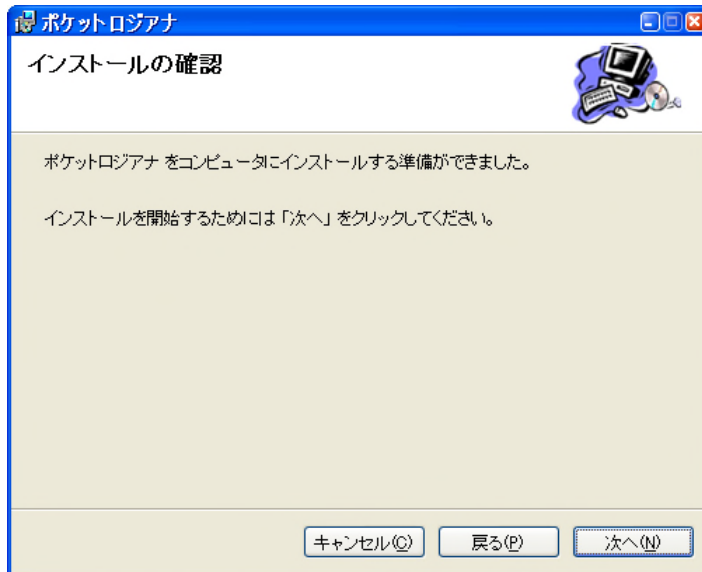
3 **次へ** を押します。



【1-5-3】

4

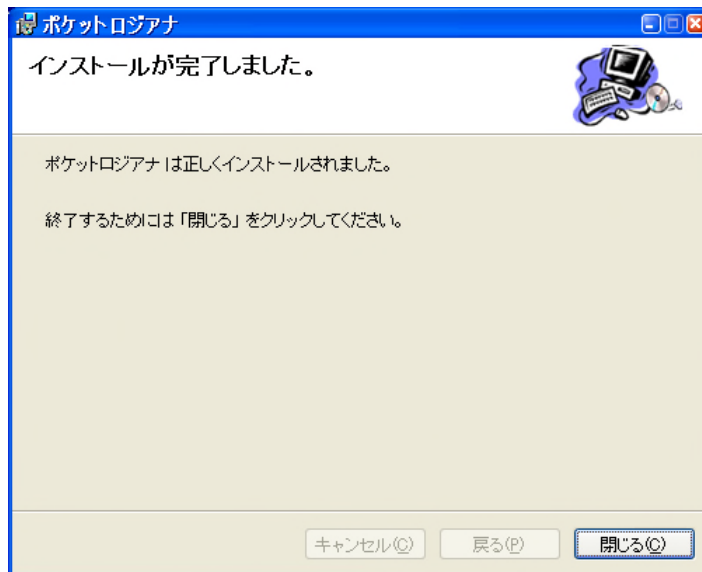
次へ を押します。



【1-5-4】

5

閉じる を押します。



【1-5-5】

6

CD-ROM 内の「製造番号」フォルダ 中のファイル「PIP-10 製造番号.id」を
C:\ProgramFiles\PocketLogiana フォルダにコピーします。

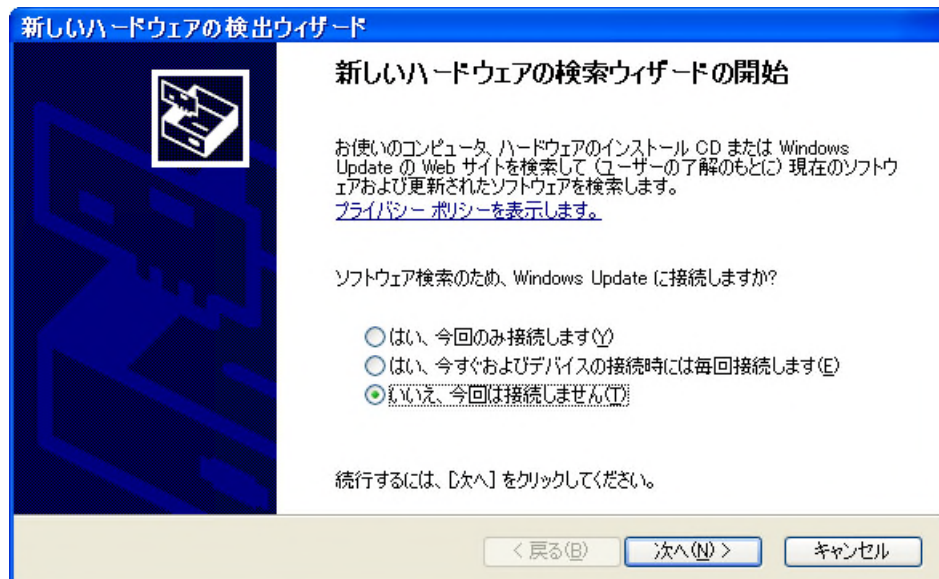
導入編 7. USBドライバのインストール

7.1 Windows XP の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

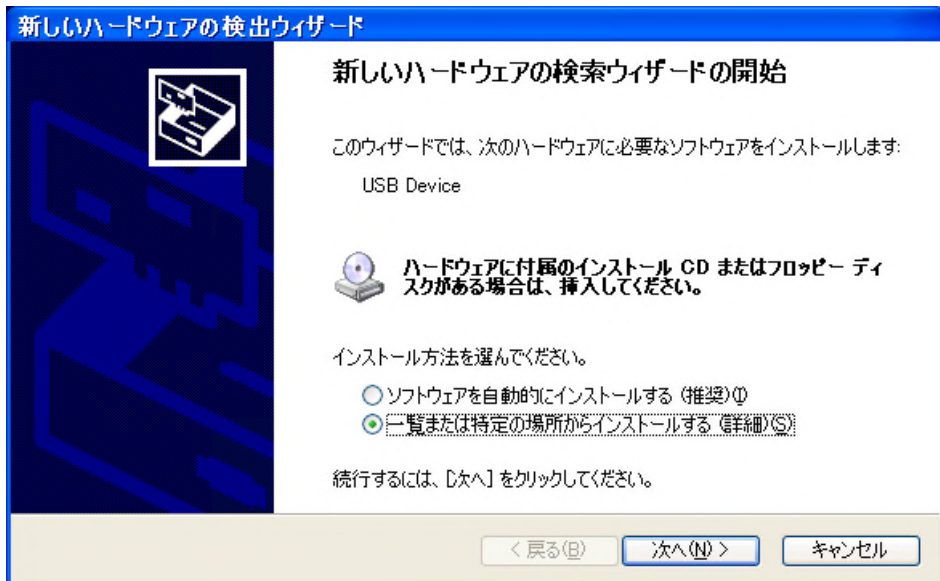
注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。
また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 以下のようにウィザード画面が表示されます。“いいえ、今回は接続しません”にチェックを入れ、**次へ**を押します。



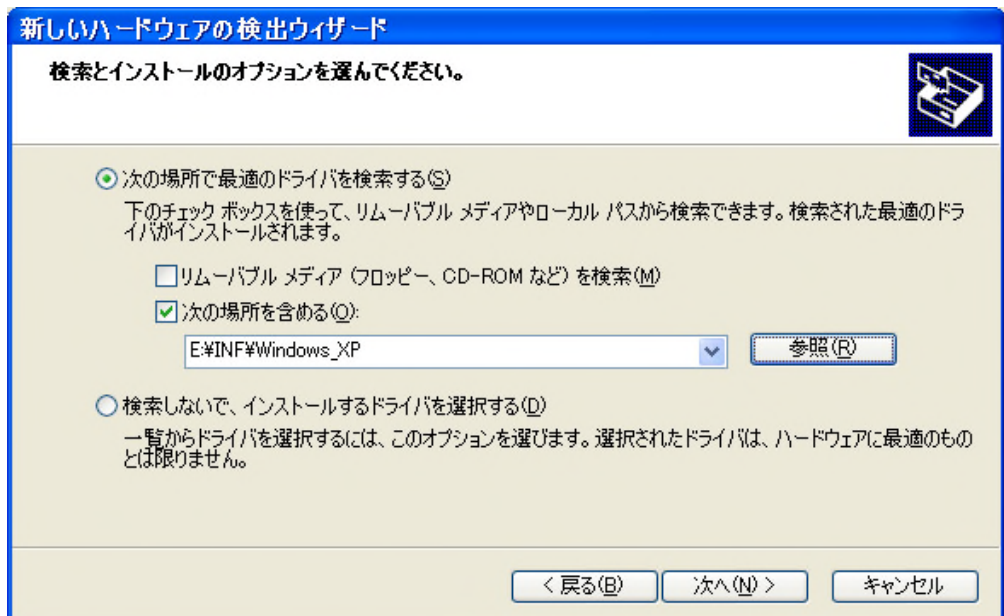
[1.6.1.1]

3 以下のようにウィザード画面が表示されます。“一覧または特定の場所からインストールする”にチェックを入れ、**次へ**を押します。



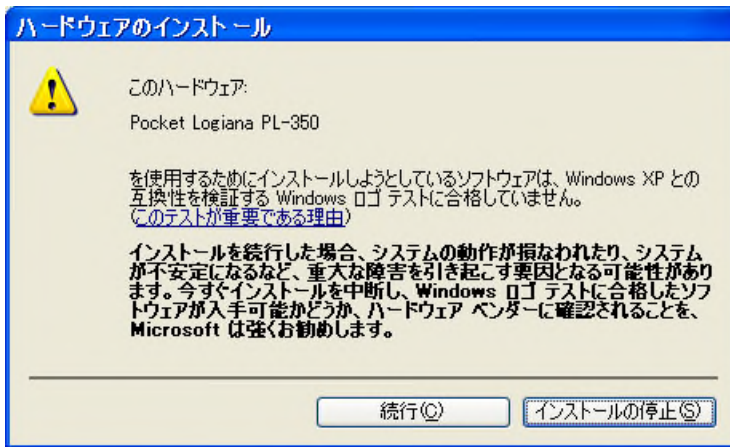
[1.6.1.2]

- 3 CD-ROM ドライブにポケットロジアナの CD-ROM を入れます。“次の場所で最適なドライバを検索する”、および“次の場所を含める”にチェックを入れ、CD-ROM 内のフォルダ `E:\INF\Windows_XP_Vista` を指定します。 **次へ** を押します。



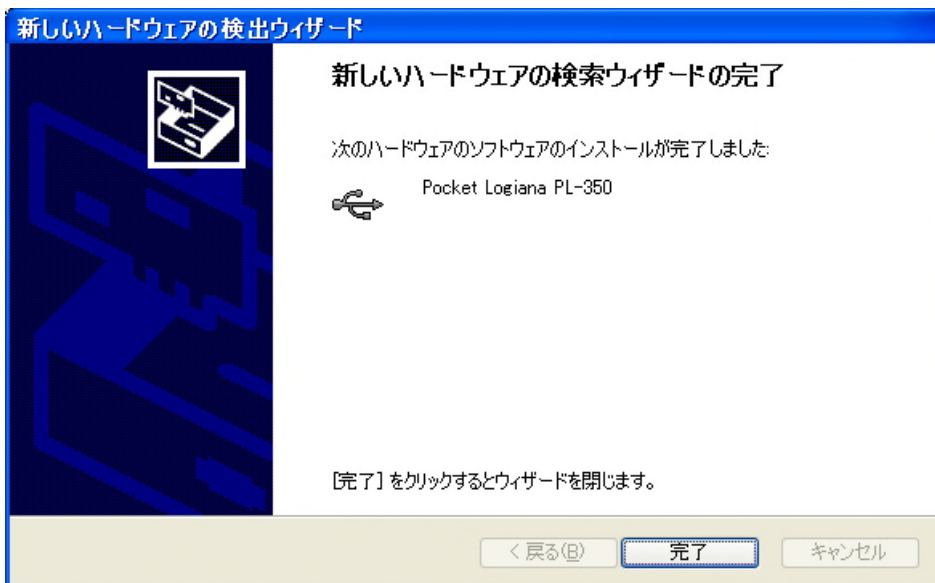
[1.6.1.3]

- 4 次のようなメッセージが出る場合は、**続行**を押します。



[1.6.1.4]

- 5 以下のようにメッセージが表示されます。**完了**を押します。



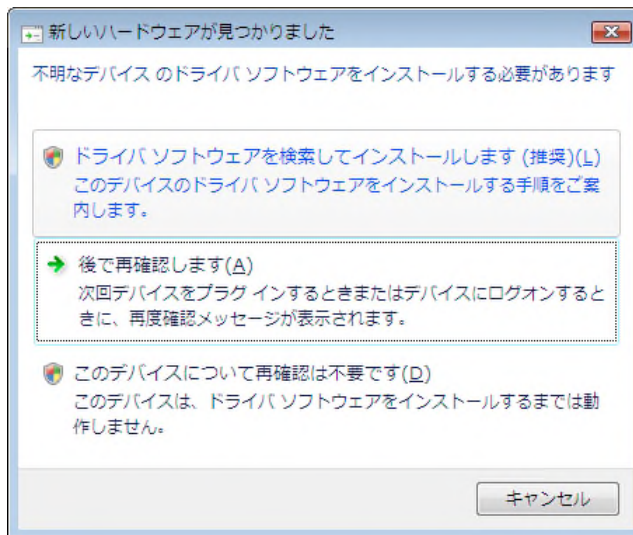
[1.6.1.5]

7.2 Windows Vista の場合

1 パソコンのUSBポートにポケットロジアナを接続します。

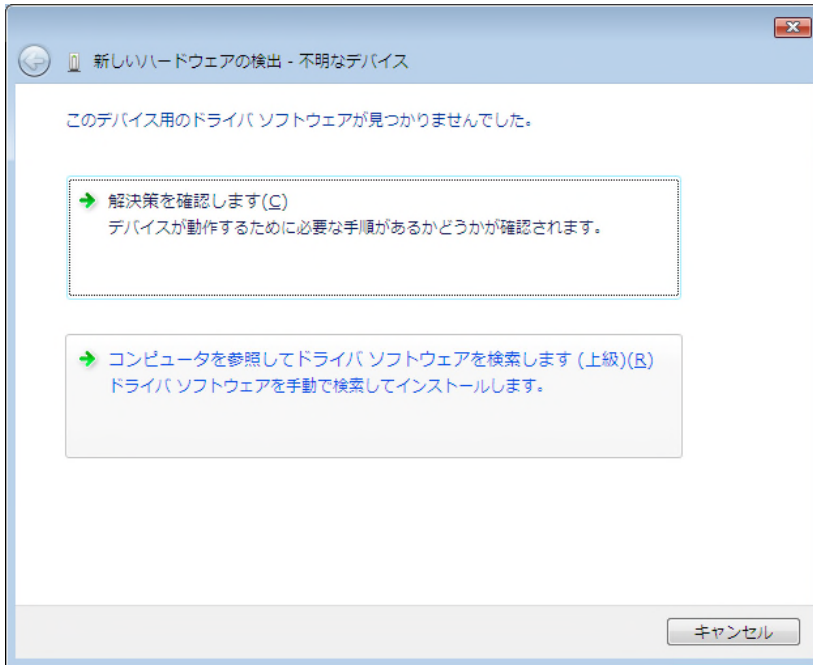
注意 ポケットロジアナを USB ハブに接続した場合、認識しない場合があります。また、USB ハブはセルフパワーで(USB ハブに AC アダプタを付けて)使用してください。

2 “ドライバソフトウェアを検索してインストールします(推奨)”を選択します。

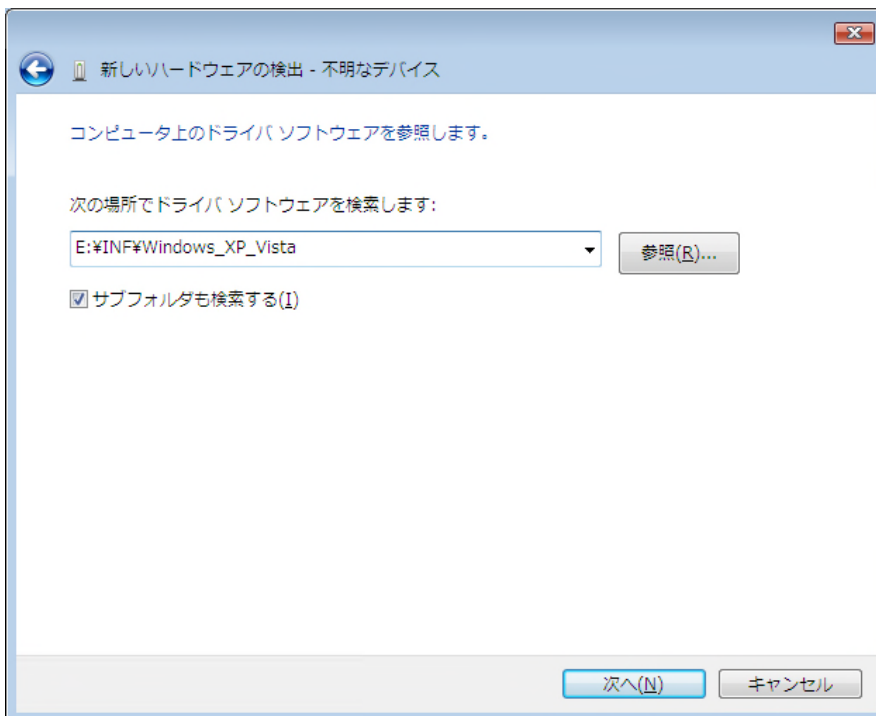


[1.6.3.1]

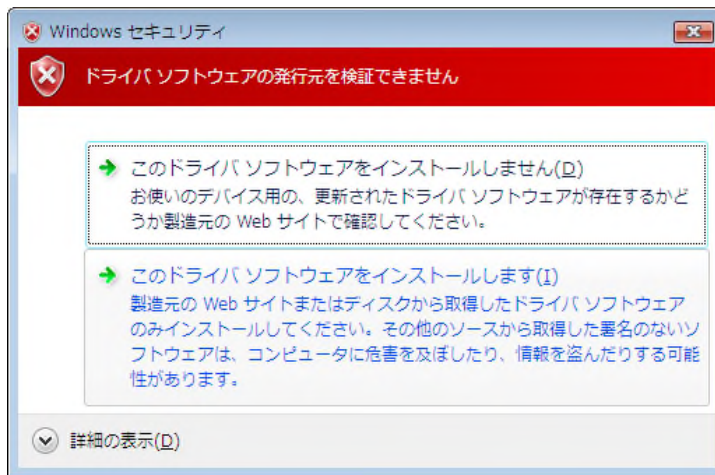
3 ”コンピュータを参照してドライバソフトウェアを検索します(上級)”を選択します。



4 CD-ROM ドライブにポケットロジアナの CD-ROM を入れます。CD-ROM 内のフォルダ¥INF¥Windows_XP_Vista を指定します。次へを押します。



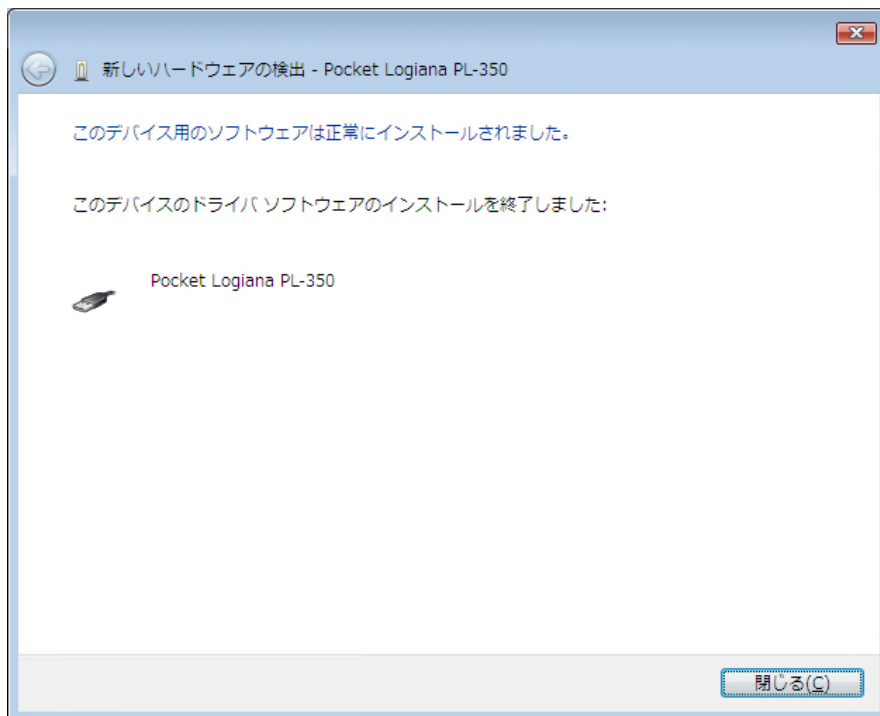
- 5 ”このドライバソフトウェアをインストールします”を選択します。



[1.6.3.3]

- 6 以下のようにメッセージが表示されると、インストール完了です。

閉じる を押します。

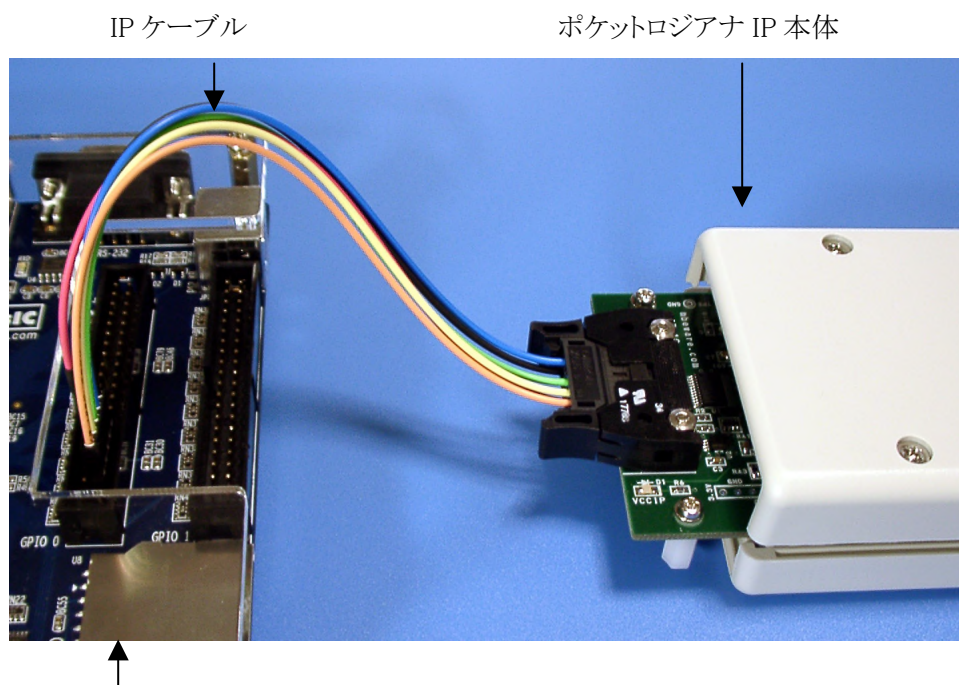


導入編 8. ポケットロジアナとお客様開発の基板との接続

FPGA は、Cyclone および Spartan-3 が使用できます。FLEX10K、ACEX、APEX、Stratix、Virtex でも動作すると思われませんが、弊社では確認しておりません。ブロック RAM を内蔵していない MAX II や CoolRunner-II などの CPLD は使用できません。

8.1 IP ケーブルで接続する

ポケットロジアナをお客様開発の基板上の FPGA と接続します。ポケットロジアナの 10 ピン BOX ヘッダーに標準添付の IP ケーブルを接続し、もう一端は、FPGA 基板上に設けた 1 列 6 ピンヘッダーに接続します。2 列の BOX ヘッダーにも接続可能です。



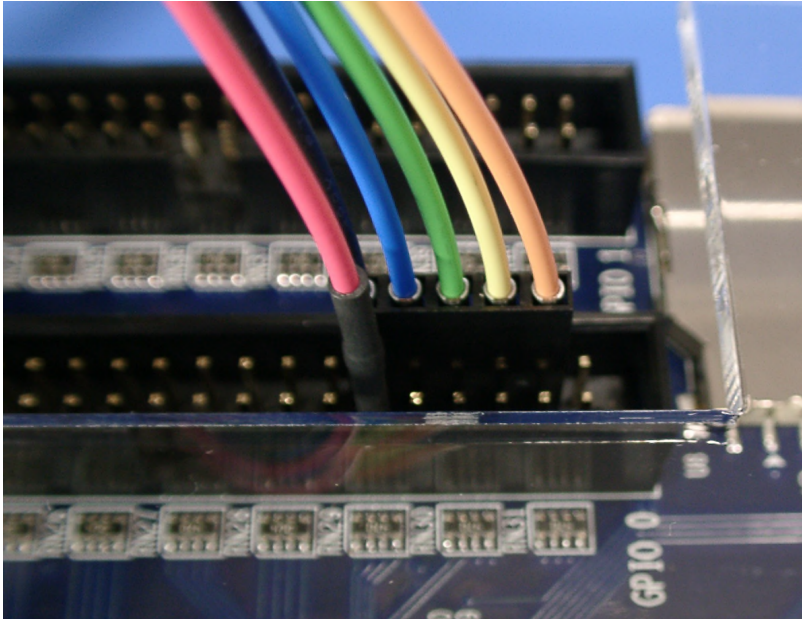
Cyclone II FPGA スタータ開発キット

DK-CYCII-2C20N(Digi-Key で¥17,000 程度 2009.1.5 現在)

注意 IP ケーブル用 BOX ヘッダー CN1 のレバーは硬いため、IP ケーブルのソケットを半分ほど挿入したら、レバーを閉じ、その後さらにソケットを押し込んでください。最後にレバーが完全に閉じていることを確認してください。

IP ケーブルを外す時はレバーを開きますが、片側だけ開き易いので注意してください。レバーをできるだけ、均等に開いてください。IP ケーブルのソケットが片側だけ持ち上がると、BOX ヘッダーのピンが曲がる場合があります。

Cyclone II FPGA スタータ開発キットの BOX ヘッダーに接続した例

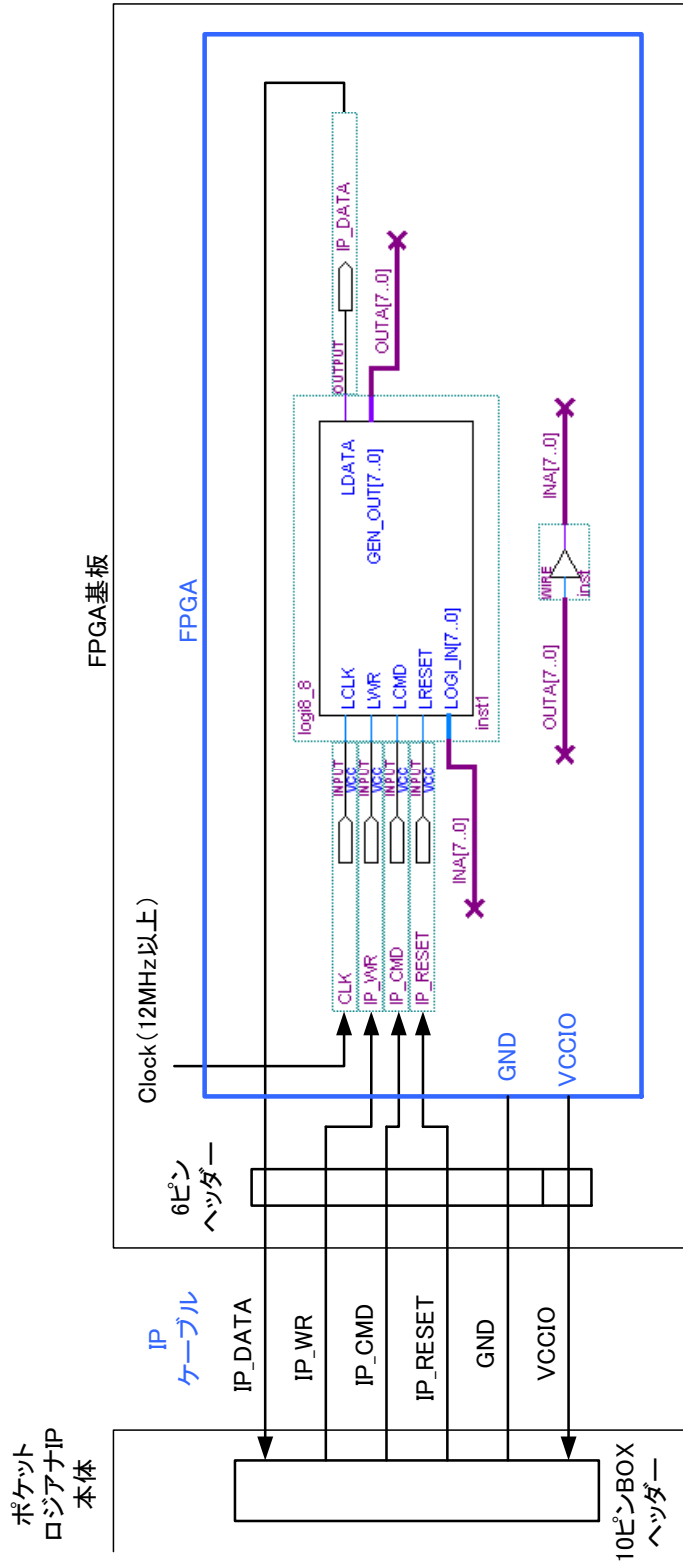


ポケットロジアナとお客様開発の基板上的 FPGA との接続は、次ページのように信号 4 本と GND 2 本、VCCIO 1 本を接続します。FPGA 側は、任意のユーザー I/O ピンを使えます。使用する FPGA の I/O ピンは、FPGA 基板からポケットロジアナへ供給する VCCIO の電圧レベルに合わせてください。FPGA の入力信号 IP_WR, IP_RESET, IP_CMD は、FPGA 内蔵の Weak Pull-Up 抵抗で Pull-Up します。

Clock は 12MHz 以上にしてください。電源の投入順は、ポケットロジアナ側からでも、FPGA 側からでも問題ありません。FPGA 基板側から供給する VCCIO 電圧がゼロなら、ポケットロジアナは、出力 IP_WR, IP_RESET, IP_CMD をドライブしません (Hi-Z)。ポケットロジアナと FPGA 基板の両方の電源が入ったとき、LED (D1) が点灯します。

注意 IP ケーブル用 BOX ヘッダー CN1 の入出力電圧レベルは 3.3V または 2.5V です (5V は不可)。4.6V を超える電圧を入出力端子に加えないでください。また、VCCIO 端子への供給電圧は 3.3V または 2.5V です。3.6V を超える電圧を VCCIO 端子に加えないでください。

接続イメージ



下記に 10 ピン BOX ヘッダーの信号配置を示します。10 ピン BOX ヘッダーの信号入出力方向は、パッシブシリアルのコネクションポートや JTAG ポート（いずれも、ByteBlasterMV を使ってダウンロードを行うポート）と合わせてあります。BOX ヘッダー CN1 の裏にはピンが露出しています。CN1 のピンと他の基板とのショートに注意してください。

●ポケットロジアナ側

ピン番号	信号名	ポケットロジアナから見た入出力	ワイヤーの色
1	IP_WR	Output	橙
2	GND		
3	IP_DATA	Input	黄
4	VCCIO	3.3V、2.5V入力	赤
5	IP_RESET	Output	緑
6		No Connect	
7		No Connect	
8		No Connect	
9	IP_CMD	Output	青
10	GND		黒

●FPGA 基板側

ピン番号	信号名	FPGA基板から見た入出力	ワイヤーの色
1	IP_WR	Input	橙
2	IP_DATA	Output	黄
3	IP_RESET	Input	緑
4	IP_CMD	Input	青
5	GND		黒
6	VCCIO	3.3V、2.5V出力	赤

●ポケットロジアナと JTAG の信号の対応表

ピン番号	ポケットロジアナの信号名	JTAGの信号名
1	IP_WR	TCK
3	IP_DATA	TDO
5	IP_RESET	TMS
9	IP_CMD	TDI

－ 第 2 章 －

チュートリアル編

チュートリアル編 1. Altera 社の FPGA の場合	17
1.1 Altera 社の開発ソフト Quartus II の操作	17
1.2 ポケットロジアナソフトの起動.....	22
チュートリアル編 2. Xilinx 社の FPGA の場合	26
2.1 Xilinx 社の開発ソフト ISE の操作	26
2.2 ポケットロジアナソフトの起動.....	39

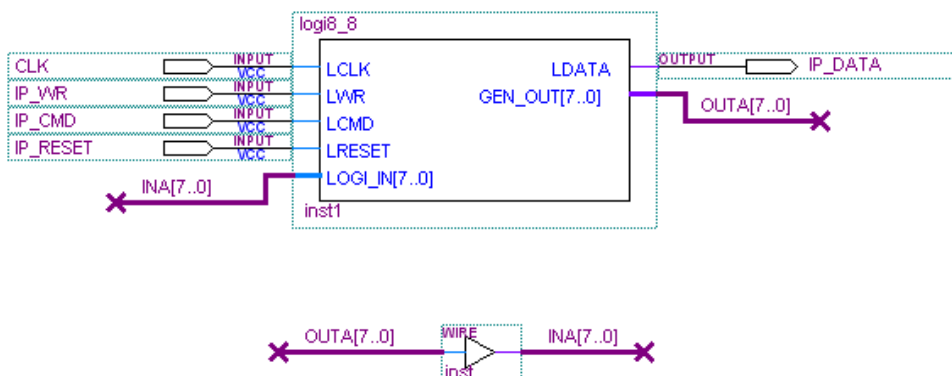
チュートリアル編 1. Altera 社の FPGA の場合

1.1 Altera 社の開発ソフト Quartus II の操作

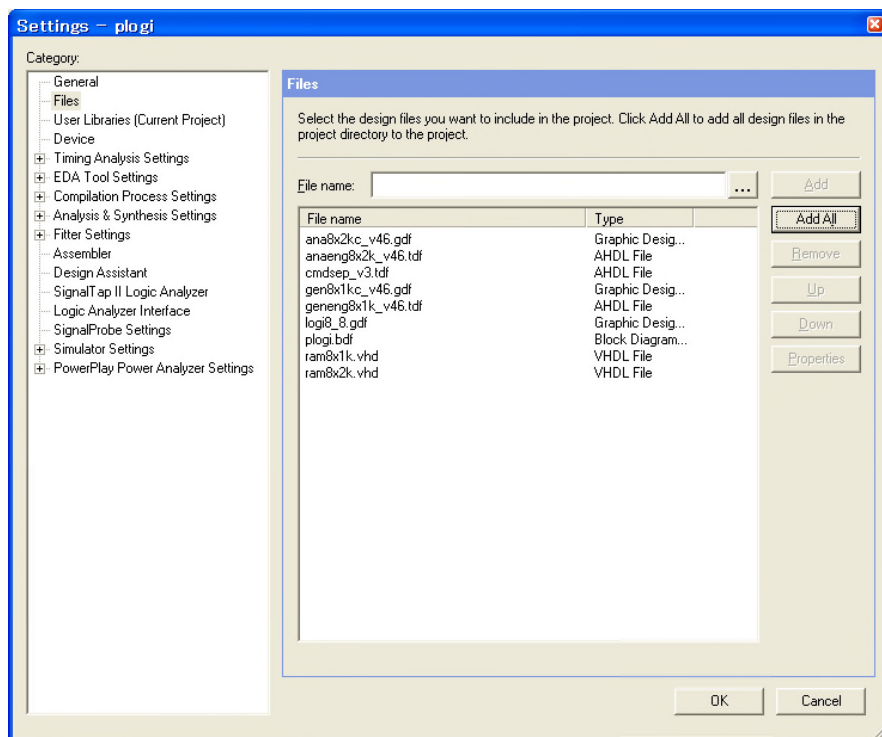
回路図からロジアナ IP を呼び出して使う方法を解説します。

このマニュアルでは、Quartus II Ver6.0 を使用しています。

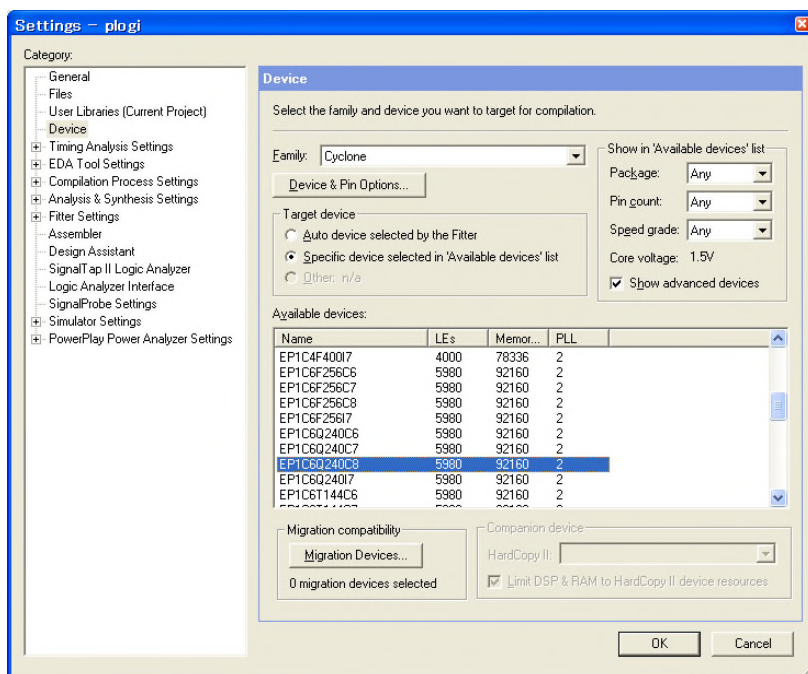
- 1 C:\ProgramFiles\PocketLogiana\Tutorial\altera\plogi フォルダを適当な場所(ここでは C:\plogi_work)にコピーします。
- 2 Quartus II を起動します。
- 3 メニューの [File | Open Project] を選択し、プロジェクトファイル C:\plogi_work\plogi\plogi.qpf を開きます。
- 4 メニューの [File | Open] を選択し、plogi.bdf を開きます。



5 メニューの[Project | Add/Remove Files in Project]を選びます。Add All ボタンを押して、ファイルプロジェクトに追加します。

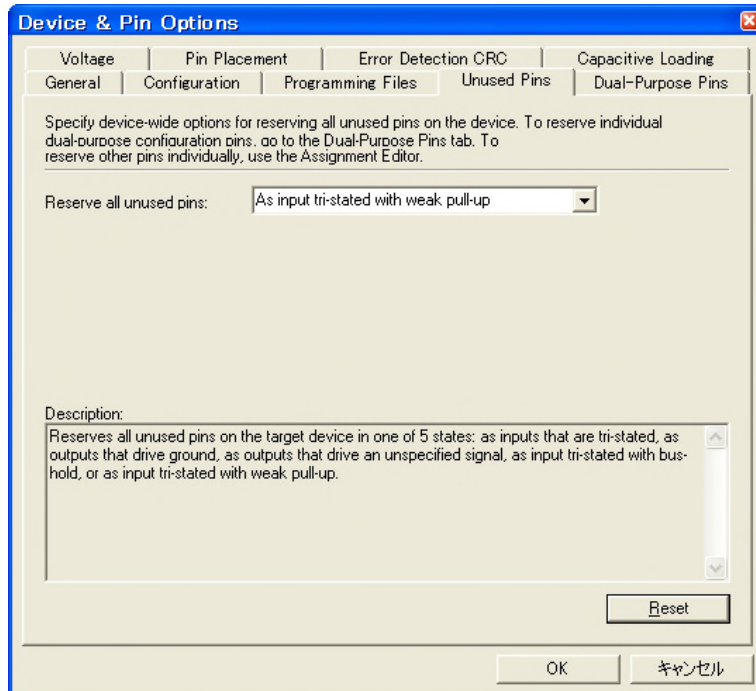


6 メニューの[Assignment | Device]でお客様の基板上的のデバイスを選択します。

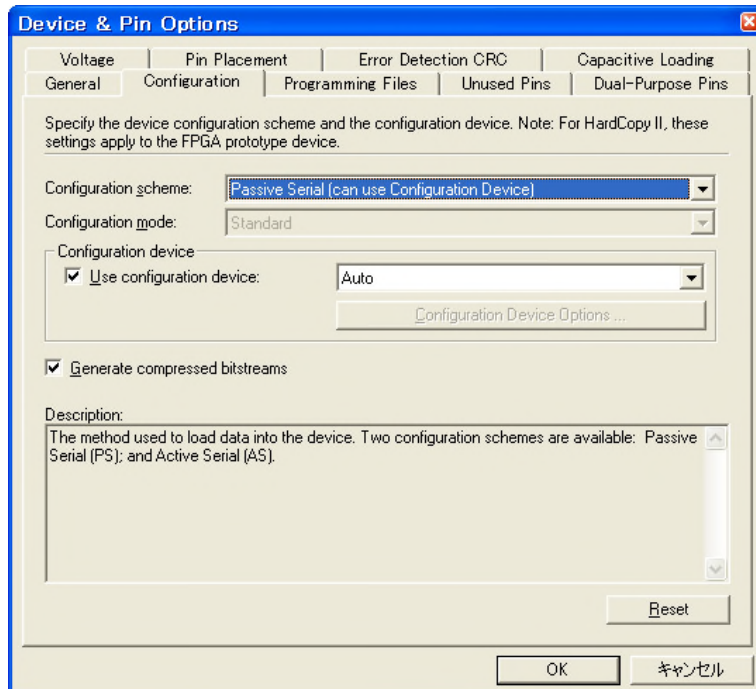


7 メニューの[Assignments | Device]で開いたダイアログの中の
Device & Pin Options ボタンを押します。

(1) Unused Pins タブで、As input tri-stated with weak pull-up を選びます。

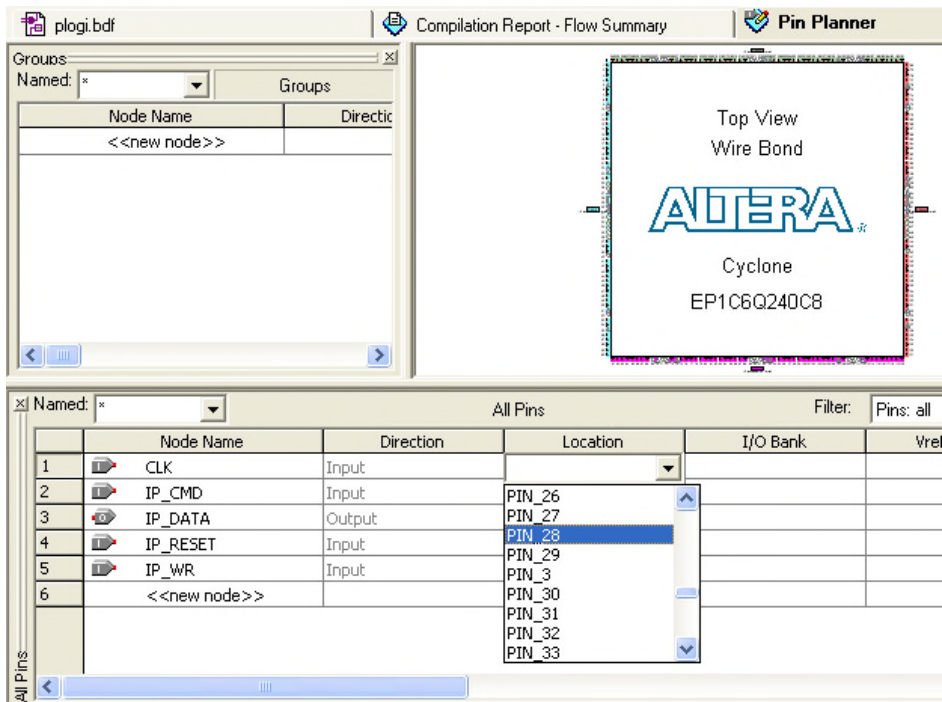


(2) Configuration タブで、Passive Serial を選びます。

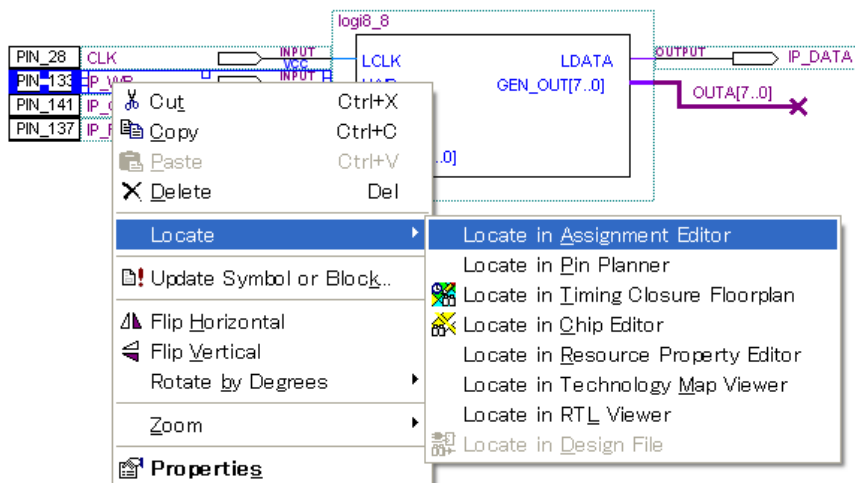


8 メニューの[Processing | Start Compilation]でコンパイルを行います。

9 メニューの[Assignments | Pins]で、入力ピン・出力ピンの割当を行います。お客様の回路に合わせて設定してください。Location のセルをダブルクリックして、ピン番号を選択します。



10 入力ピンを Weak Pull-up します。ポケットロジアナのフラットケーブルを FPGA 基板に接続していないとき、入力にノイズが乗るのを防ぎます。入力ピン IP_WR の上で右クリックして、Locate in Assignment Editor を選びます。



Assignment Name のセルをダブルクリックして、Weak Pull-Up Resistor を選びます。

To	Assignment Name	Value	Enabled
IP_WR	Location	PIN_133	Yes
IP_WR			Yes

Show 'X' on timing violation
 Slow Slew Rate (Accepts wildcards/groups)
 Source Multicycle (Accepts wildcards/groups)
 Source Multicycle Hold (Accepts wildcards/groups)
 Speed Optimization Technique for Clock Domains
 State Machine Processing
 tco Requirement (Accepts wildcards/groups)
 th Requirement (Accepts wildcards/groups)
 Toggle Rate (Accepts wildcards/groups)
 tpd Requirement (Accepts wildcards/groups)
 tsu Requirement (Accepts wildcards/groups)
 Virtual clock reference
 Virtual Pin
 Virtual Pin Clock
Weak Pull-Up Resistor (Accepts wildcards/groups)

Value のセルをダブルクリックして、On を選びます。

To	Assignment Name	Value	Enabled
IP_WR	Location	PIN_133	Yes
IP_WR	Weak Pull-Up Resistor		Yes
IP_WR			Yes

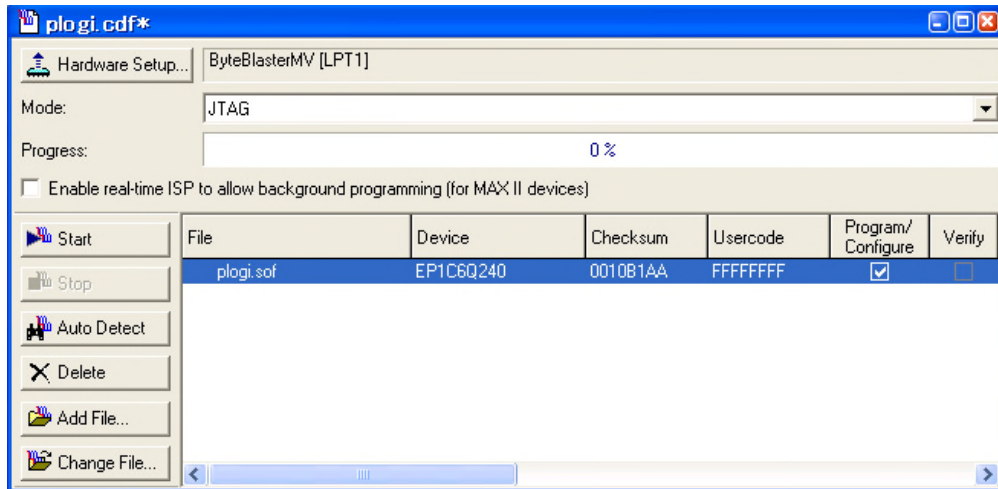
Off
On

同様にして入力ピン IP_CMD、IP_RESET についても、Weak Pull-up します。メニューの [File | Save] で設定を保存します。

- 11 メニューの [Processing | Start Compilation] で、再度コンパイルを行います。ピンの設定状態は、Compilation Report の All Package Pins で分かります。

All Package Pins						
	Location	Pad Number	I/O Bank	Pin Name/Usage	Dir.	I/O Standard
	128	128	106	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	129	129		3	GND	gnd
	130	130		3	VCCIO3	power
	131	131	107	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	132	132	108	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	133	133	109	3	IP_WR	input LVTTTL
	134	134	110	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	135	135	111	3	IP_DATA	output LVTTTL
	136	136	112	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	137	137	113	3	IP_RESET	input LVTTTL
	138	138	114	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	139	139	115	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	140	140	116	3	RESERVED_INPUT_WITH_WEAK_PULLUP	
	141	141	117	3	IP_CMD	input LVTTTL

- 12 メニューの[Tools | Programmer]を選び、回路をダウンロードします。
ダウンロードケーブルを認識していない場合、Hardware Setup ボタンを押して、認識させます。Program/Configure にチェックをして、Start ボタンを押します。

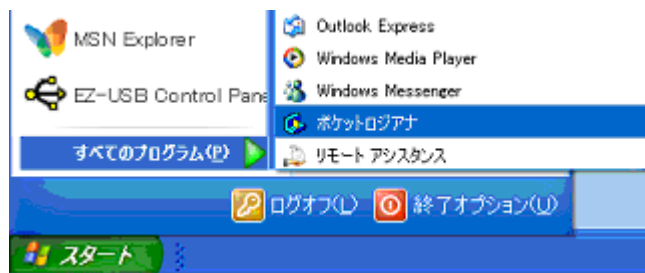


メニューの[File | Save]で、Programmer の設定を保存します。

1.2 ポケットロジアナソフトの起動

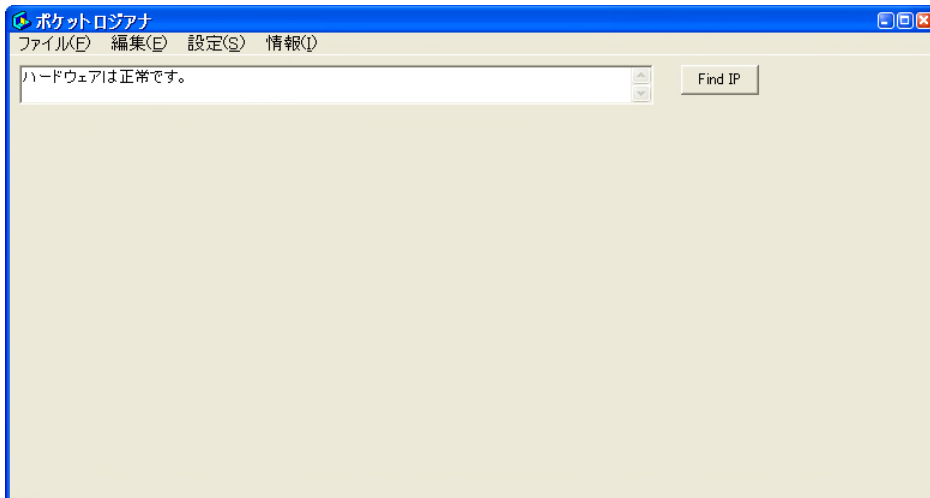
「導入編 8」に従って、ポケットロジアナとFPGA 基板がフラットケーブルで接続されているものとします。

- 1 スタートメニューからポケットロジアナを選び、ソフトを立ち上げます。

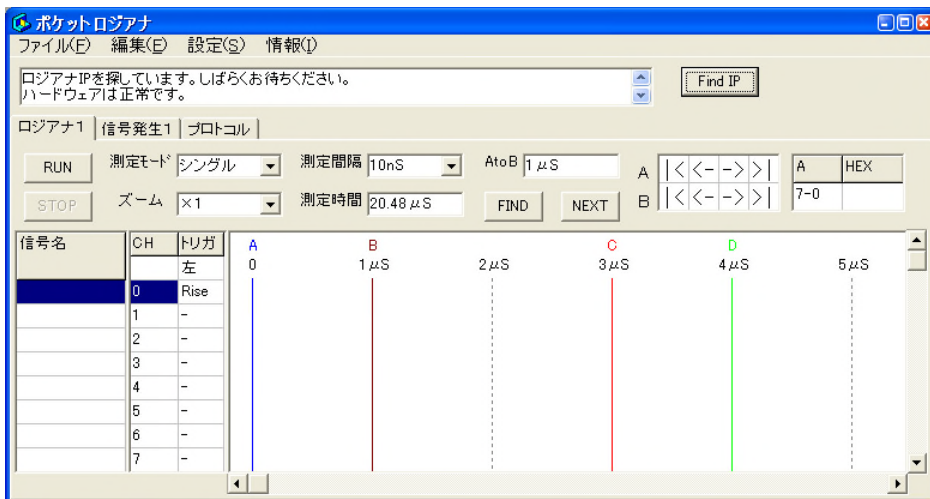


参考 ポケットロジアナ本体を接続せずにポケットロジアナソフトを起動すると、保存したファイルの波形ビューワ (viewer) として利用できます。

- 2 メッセージボックスに“ハードウェアは正常です”と表示されます。



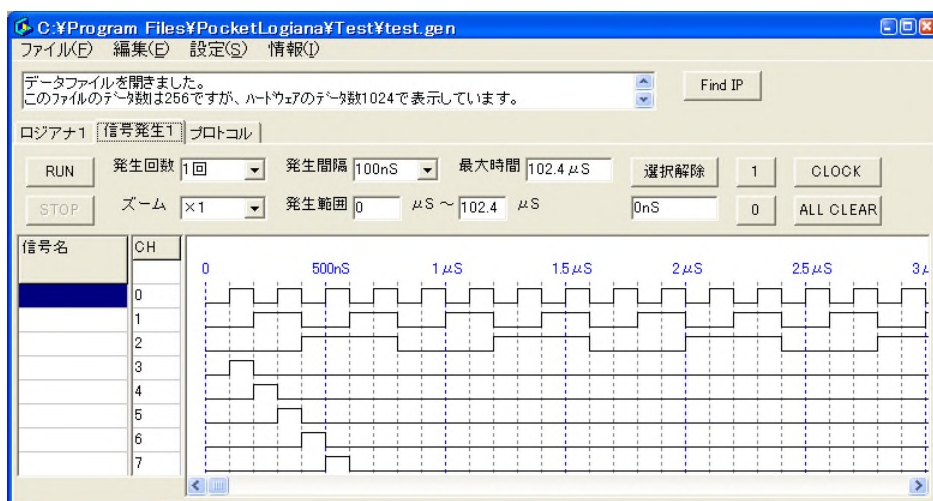
- 3 **Find IP** ボタンを押し、5 秒程待ちます。ロジアナ IP と信号発生 IP が見つかれば、下記のような画面になります。



- 4 **RUN** を押します。測定が開始され、メッセージボックスに“ロジアナ 1 測定中です。”と表示されます。

- 5 **信号発生 1** タブをクリックし、ページを切り換えます。

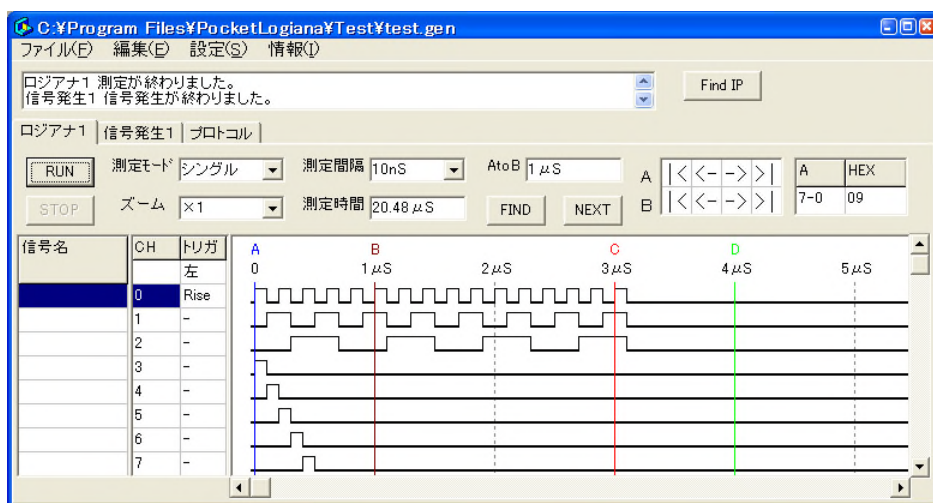
メニューの[ファイル | 開く]を選択し、C:\ProgramFiles\PocketLogiana\Test\test.gen を開くと、信号発生用の波形が表示されます。



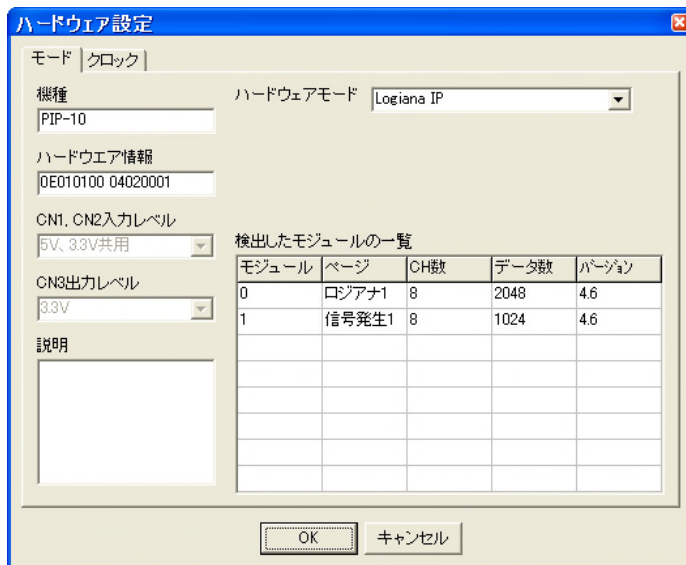
6 **RUN** を押します。メッセージボックスに“ロジアナ 1 トリガを検出しました。”
 , “ロジアナ 1 データ転送中です。”と表示されます。

信号発生, 測定が終了すると、“ロジアナ 1 測定が終わりました。”, “信号発生 1 信号発生が終わりました。”と表示されます。

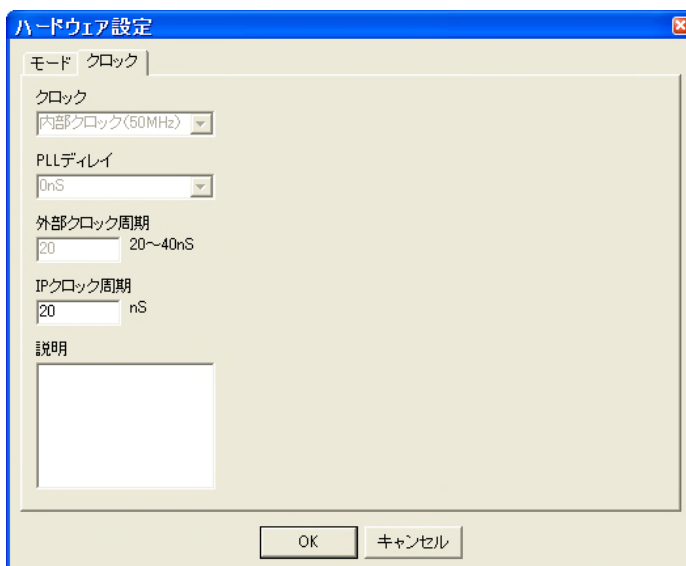
7 **ロジアナ 1** タブをクリックし、ページを切り換えると、測定した波形が表示されています。



8 メニューの[設定 | ハードウェア]を選択し、「ハードウェア設定」ダイアログを表示すると、検出した IP (モジュール) の情報を見ることができます。



ロジアナ IP に供給するクロックが 50MHz 以外の方は、同じダイアログで、「クロック」タブをクリックし、IP クロック周期を整数で記入してください。



9 これで動作確認は終了です。

測定を行うには、回路図 `plogi.bdf` に測定を行いたい(お客様開発の)回路を追加し、ロジアナ IP の入力 `LOGI_IN[7..0]` に接続してください。

「応用編 1」では 32ch ロジアナ IP を追加して、32bit カウンタの出力を測定しています。

チュートリアル編 2. Xilinx 社の FPGA の場合

2.1 Xilinx 社の開発ソフト ISE の操作

このマニュアルでは、ISE8.1 を使用しています。

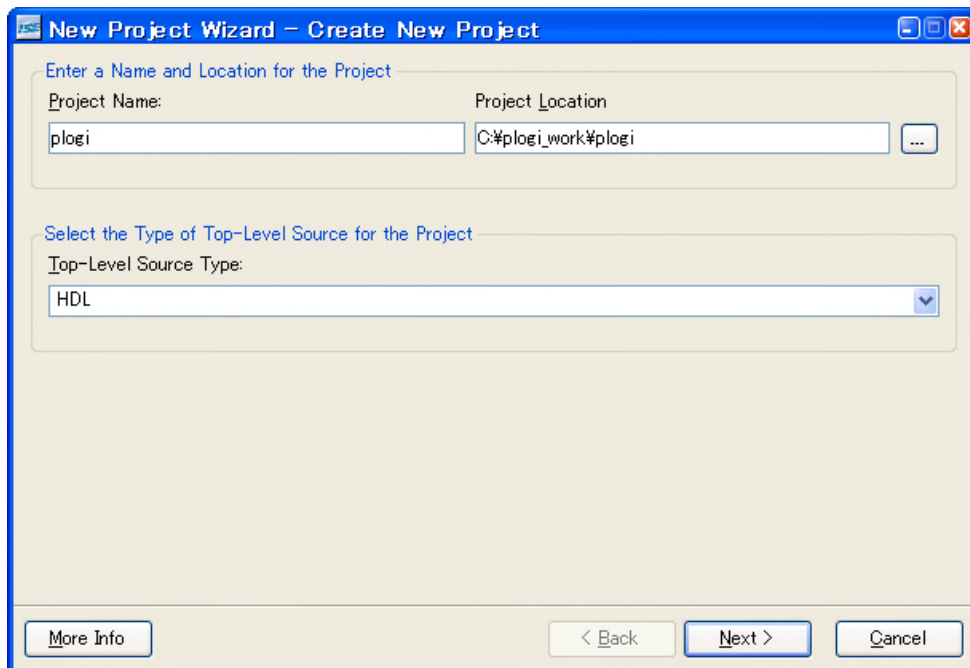
1 C:\ProgramFiles\PocketLogiana\Logiana IP\Sample\xilinx\plogi フォルダを適当な場所(ここでは C:\plogi_work)にコピーします。

コピー後: C:\plogi_work\plogi フォルダ

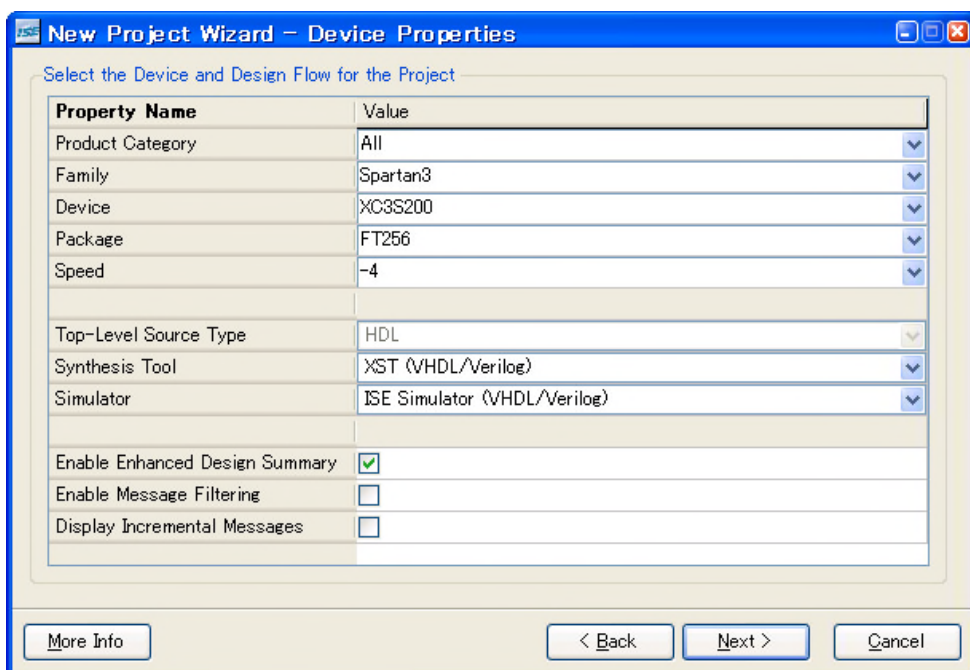
2 ISE を起動します。

3 メニューの[File | New Project]を選択します。New Project Wizard が現れますので、Project Location で C:\plogi_work を選び、Project Name に plogi と入力します。

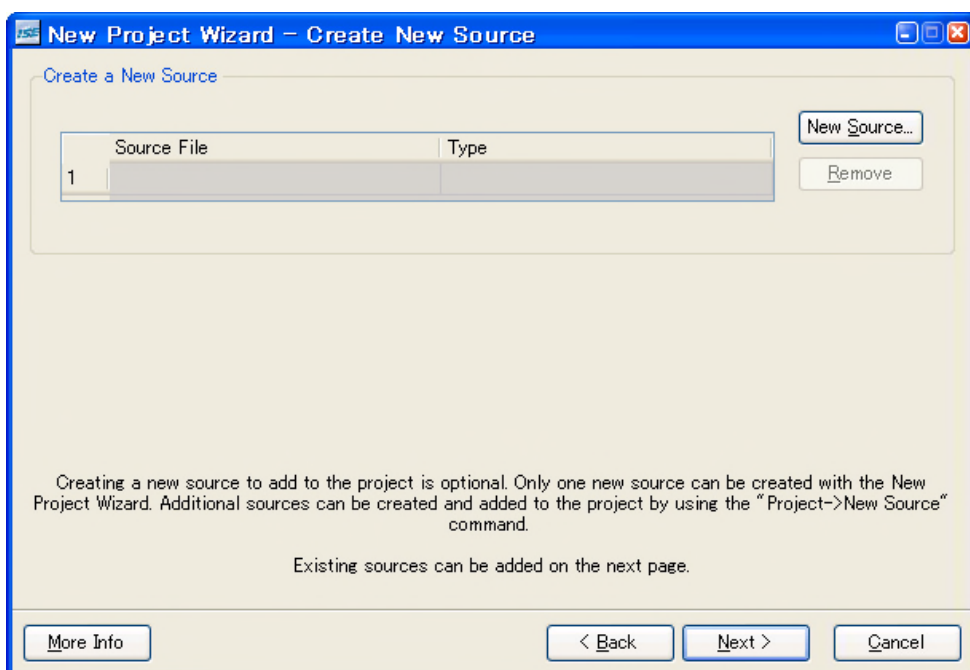
Next を押します。



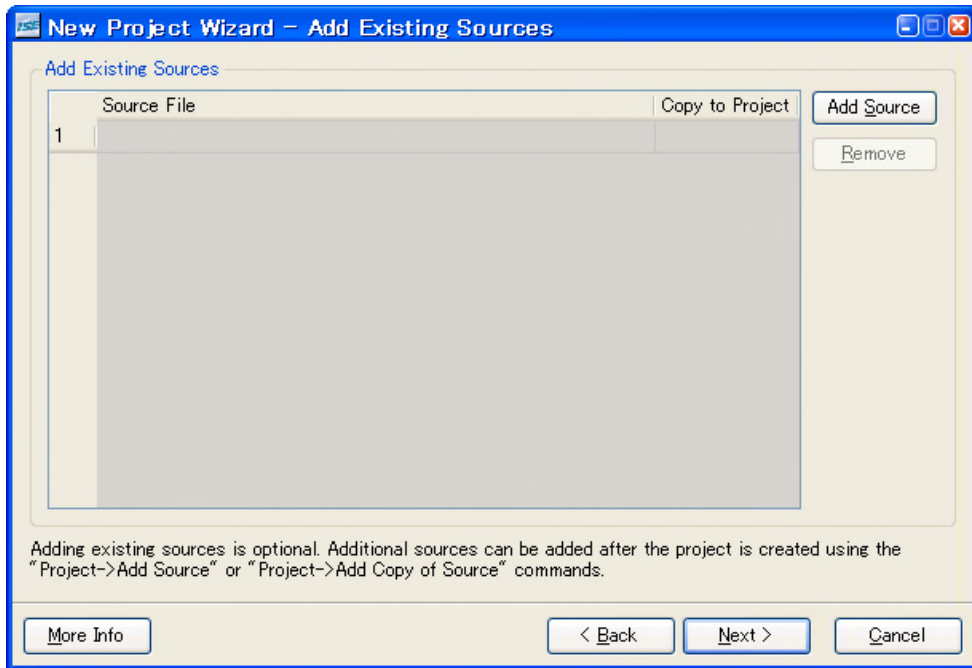
4 Device、Package、Speed を選択し、Next を押します。



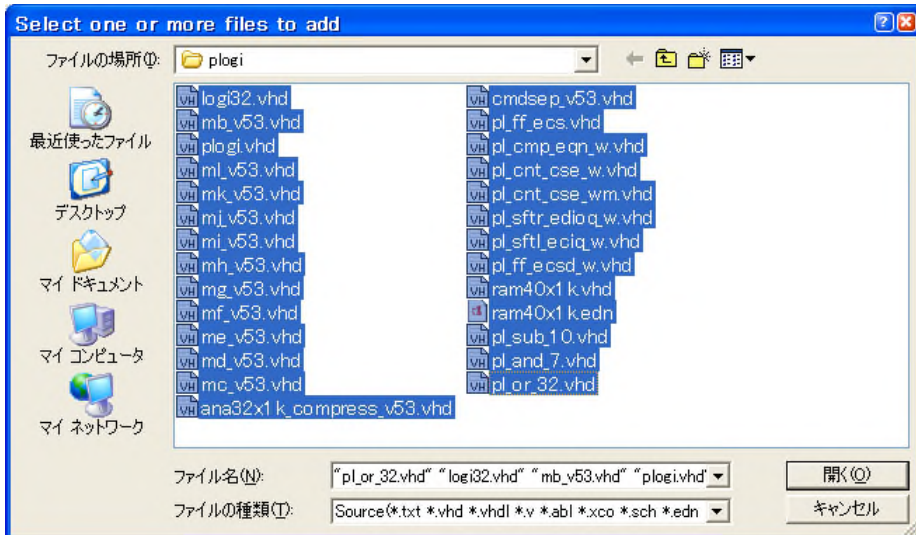
5 Next を押します。



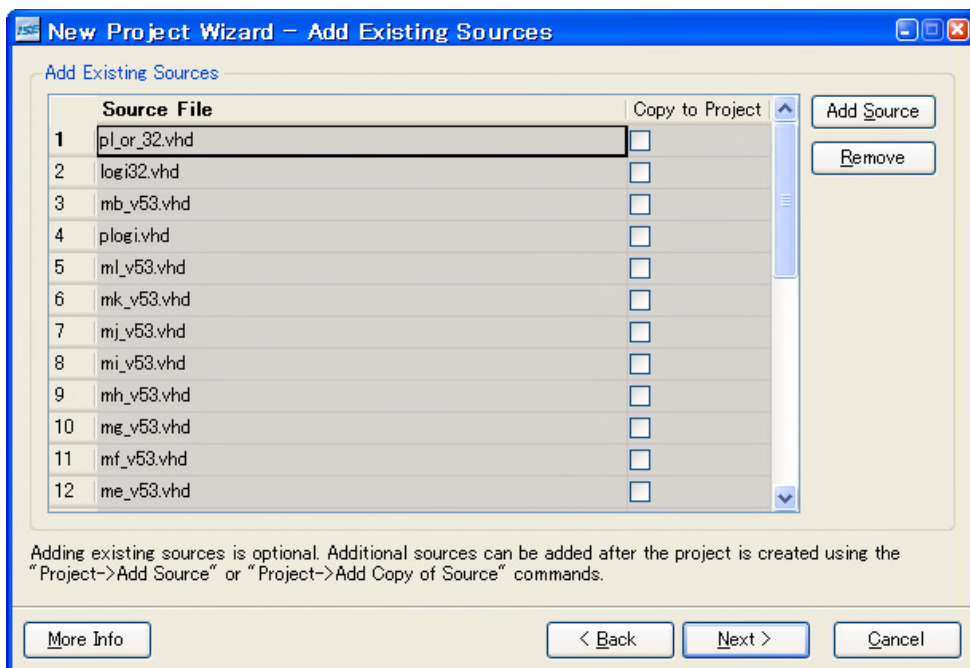
6 Add Source を押します。



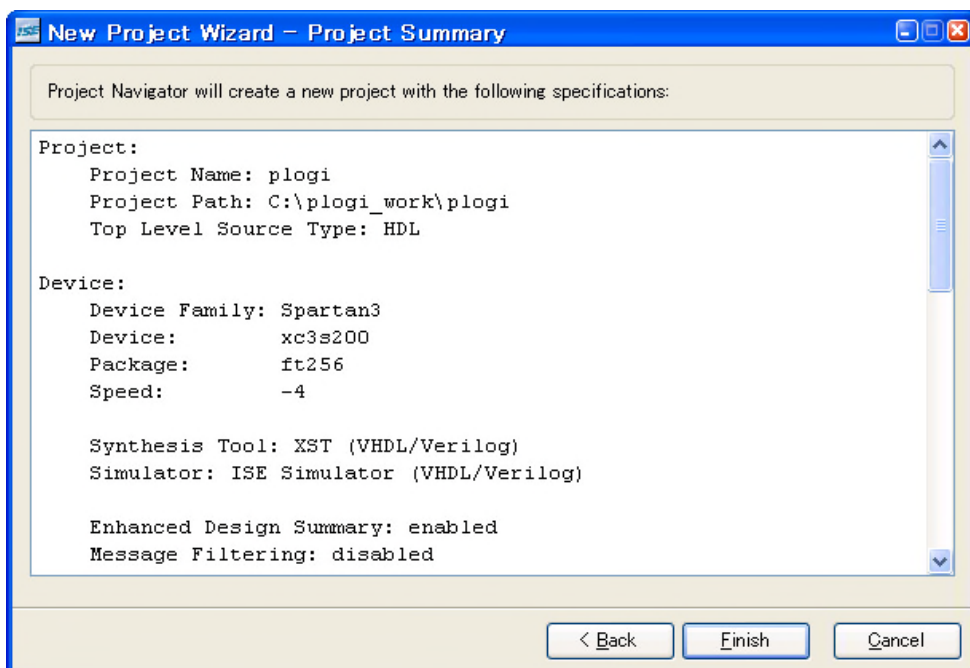
全てのファイルを選択して、開くを押します。



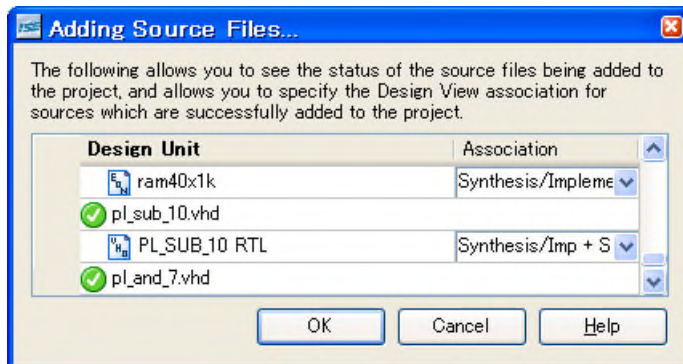
7 **Next**を押します。



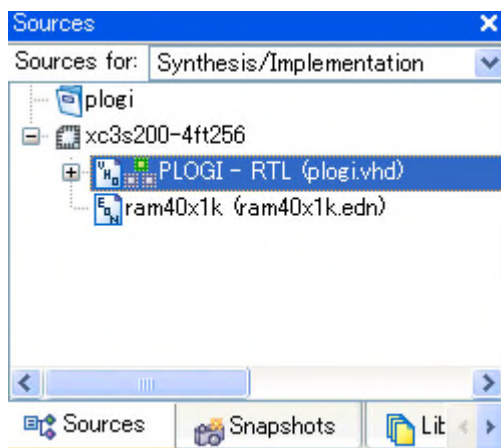
8 **Finish**を押します。



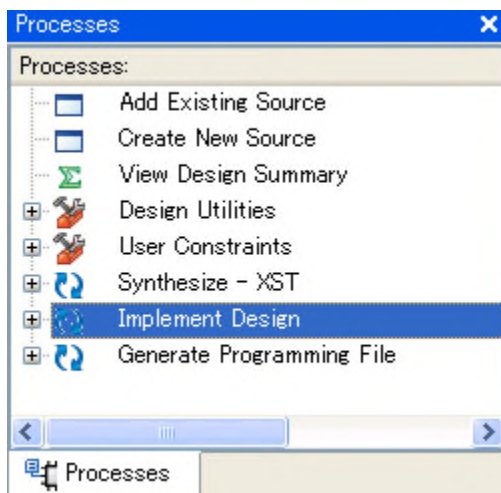
9 OKを押します。



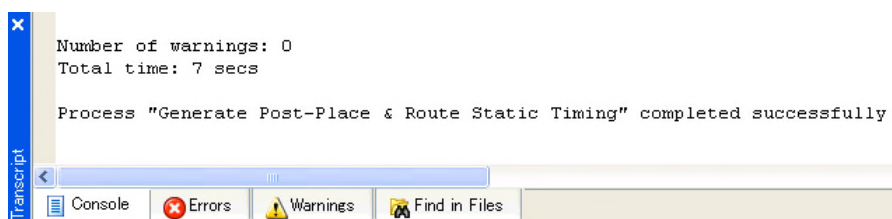
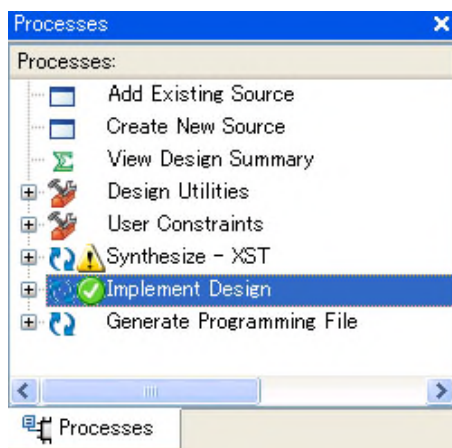
10 しばらく待つと、Sources ウィンドウに PLOGI が現れます。PLOGI をクリックして、選択します。



11 Processes ウィンドウの Implement Design をダブルクリックします。コンパイルが始まります。

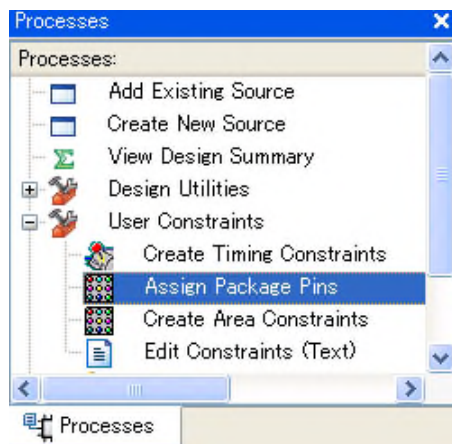


- 12 コンパイルが終了して、エラーのないことを確認します。
Implement Design の横のマークが緑色になります。

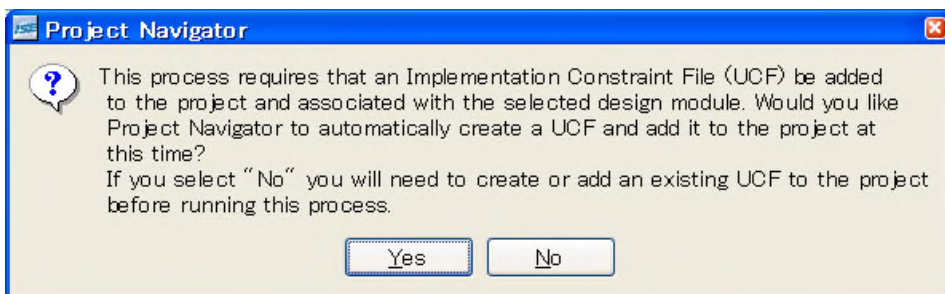


PLOGI Project Status			
Project File:	plogi.se	Current State:	Placed and Routed
Module Name:	PLOGI	• Errors:	No Errors
Target Device:	xc3s200-4ft256	• Warnings:	26 Warnings
Product Version:	ISE, 8.1i	• Updated:	金 10 20 18:40:46 2006

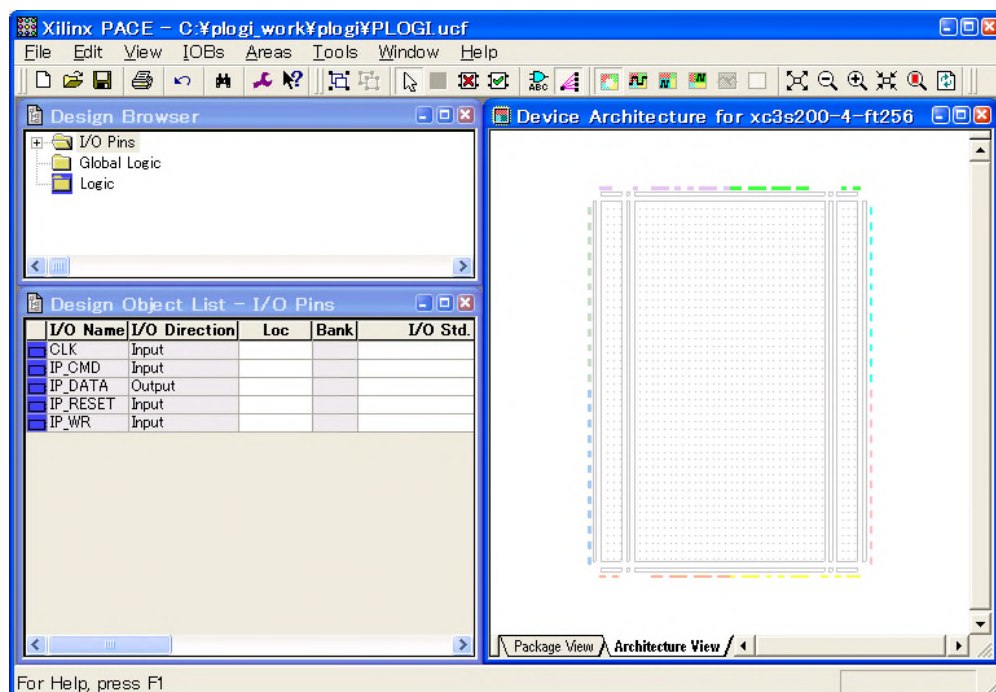
- 13 Processes ウィンドウの User Constraints の Assign Package Pins をダブルクリックします。



Yesを押します。



14 しばらくすると、Xilinx PACE 画面が現れます。

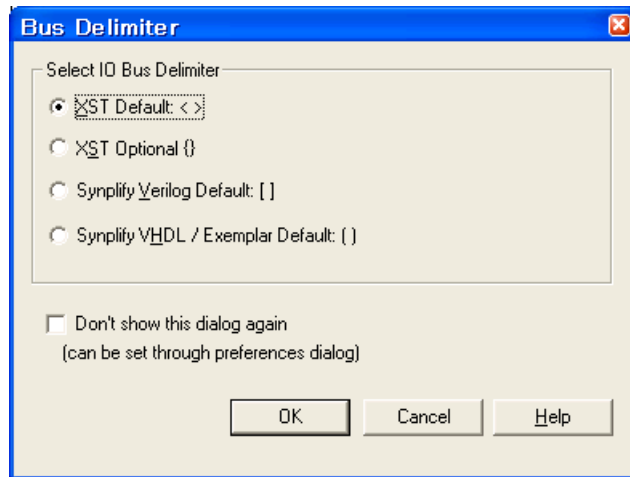


15 Design Object List ウィンドウを拡大し、Loc に FPGA 基板に応じたピン番号を入力します。



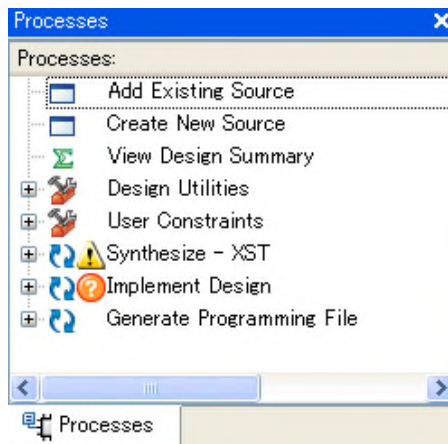
ポケットロジアナと接続する信号の I/O Std.を LVCMOS33 または LVCMOS25 に設定します。ポケットロジアナとの接続には、入出力レベルが 3.3V または 2.5V の I/O ピンを使用してください。

16 メニューの [File | Save] を選択します。下記のダイアログが現れますので、XST Default <> にチェックして **OK** を押します。

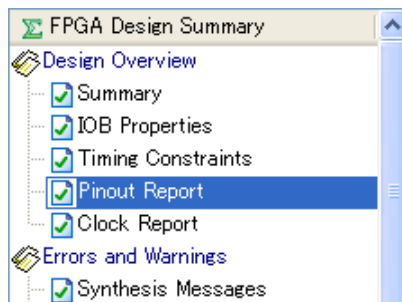


17 メニューの [File | Exit] で Xilinx PACE を終了します。

18 Processes ウィンドウの Implement Design の横のマークがオレンジになっています。Implement Design をダブルクリックします。コンパイルが始まります。12 項のように、正常終了すれば OK です。



19 Pinout Report でピン割り当てを確認します。



20 作成した回路を FPGA にダウンロードします。お客様作成の基板に、Xilinx 社のダウンロードケーブルを接続します。

参考文献: ISE 8.1i クイック スタート チュートリアル.pdf
page 29 Spartan-3 デモ ボードへのデザインのダウンロード

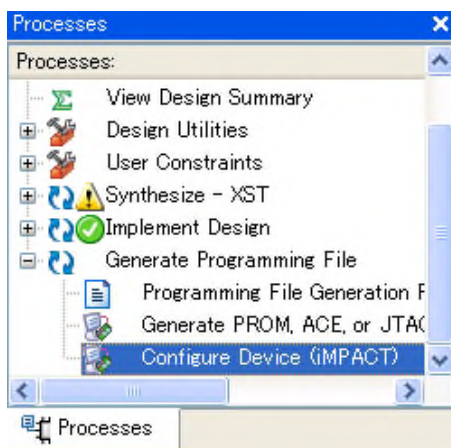
Xilinx 社のホームページ <http://www.xilinx.co.jp/> で、キーワードを「ISE 8.1i クイック スタート」、検索対象を「マニュアル」にして検索すると見つかります。



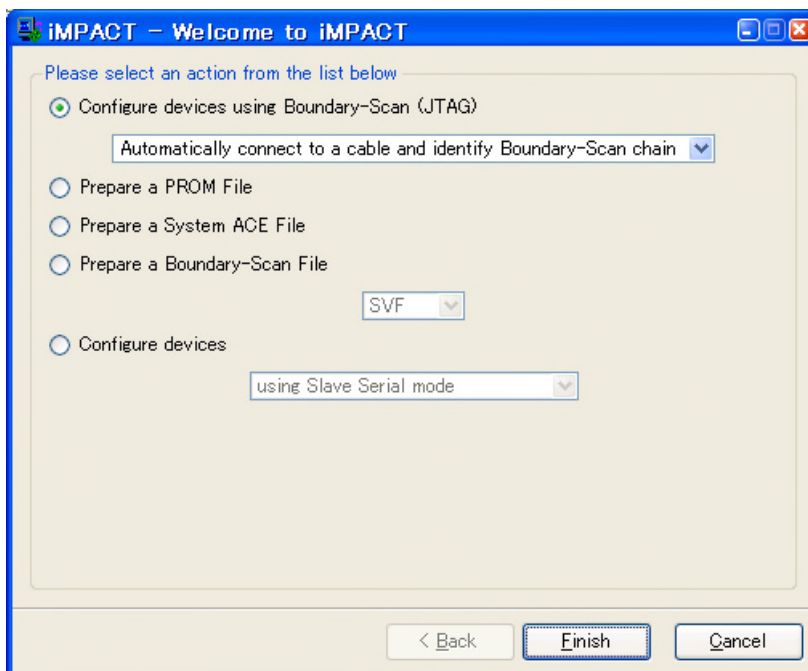
日付順 / マッチ率の高い順

[PDF] **ISE 8.1i**
Page 1. R **ISE 8.1i** クイック スタート チュートリアル Page 2. ... www.xilinx.co.jp
7 R **ISE 8.1i** クイック スタート チュートリアル このチュートリアルでは、ザイ
リンクスの PLD 設計者を対象に、**ISE 8.1i** を使用した基本的なデ ...
- 2006-03-06

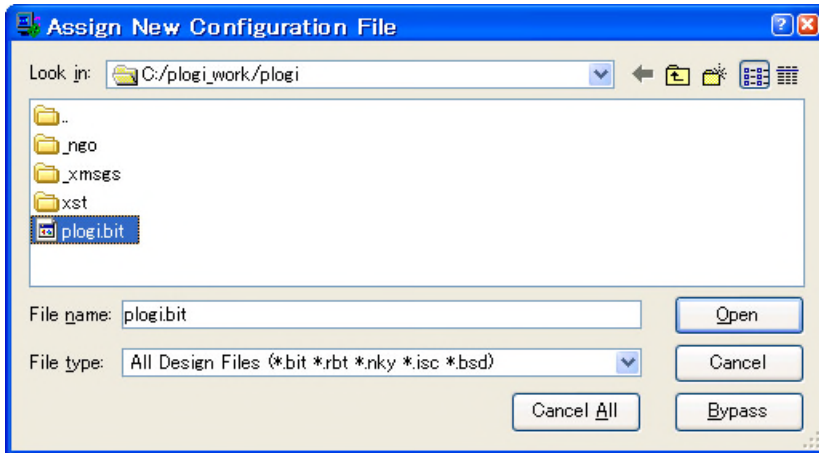
- 21 Processes ウィンドウの Generate Programming File の Configure Device (iMPACT)をダブルクリックします。



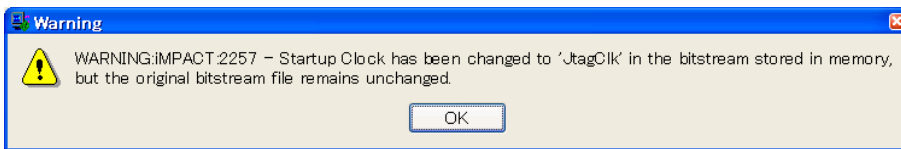
- 22 しばらくすると、下記のダイアログが現れます。Finishを押します



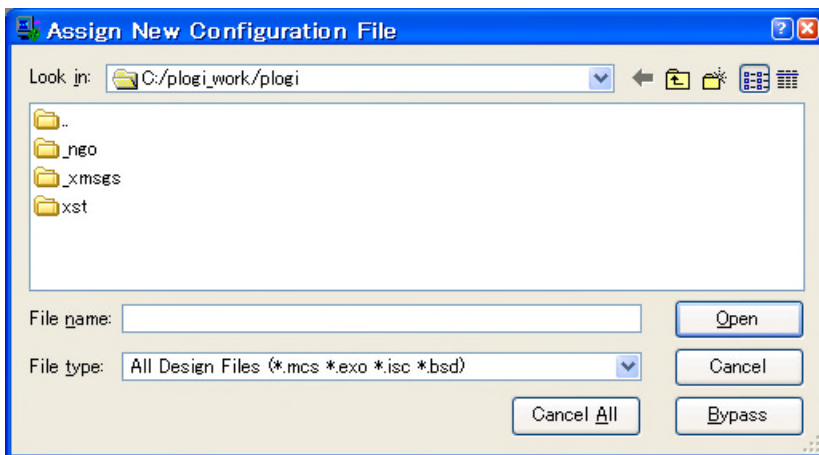
23 plogi.bit を選択して、Open を押します。



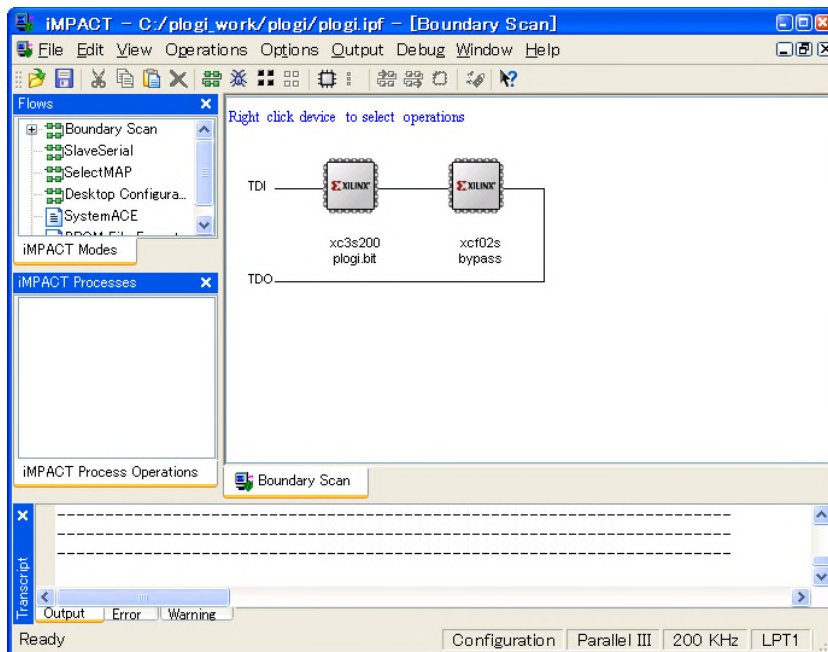
24 OK を押します。



25 Bypass を押します。



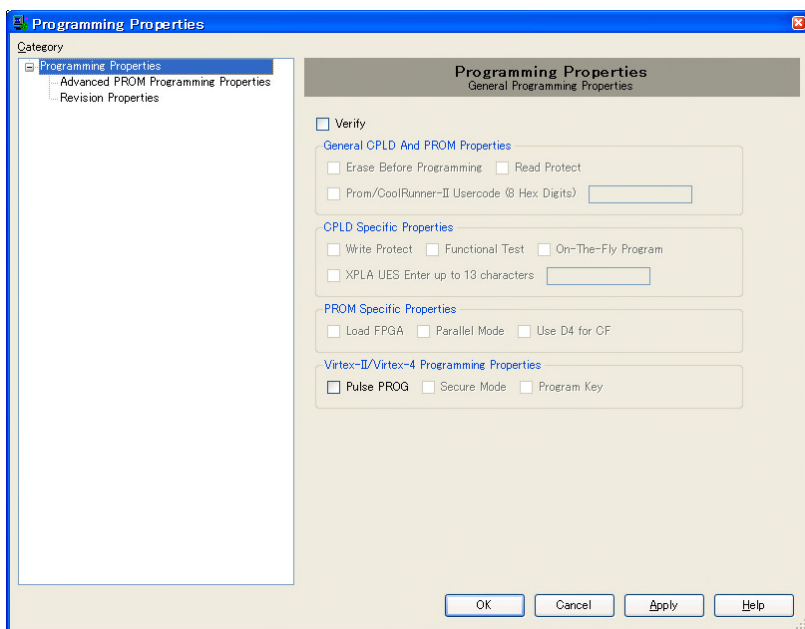
26 IMPACT が起動しました。



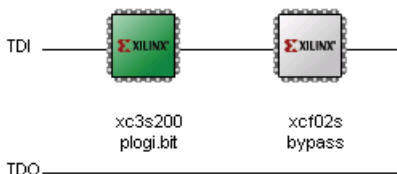
27 FPGA のアイコンで右クリックして、Program を選びます。



28 OK を押します。

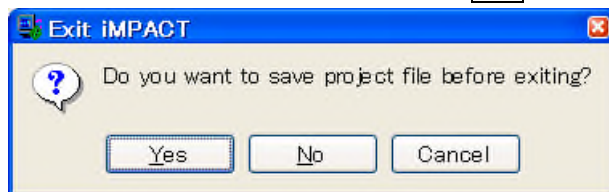


29 しばらくすると、ダウンロードが終了します。



Program Succeeded

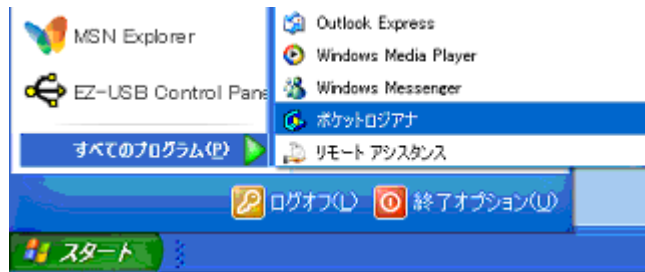
30 メニューの[File | Exit]で iMPACT を終了します。[Yes]を押します。



2.2 ポケットロジアナソフトの起動

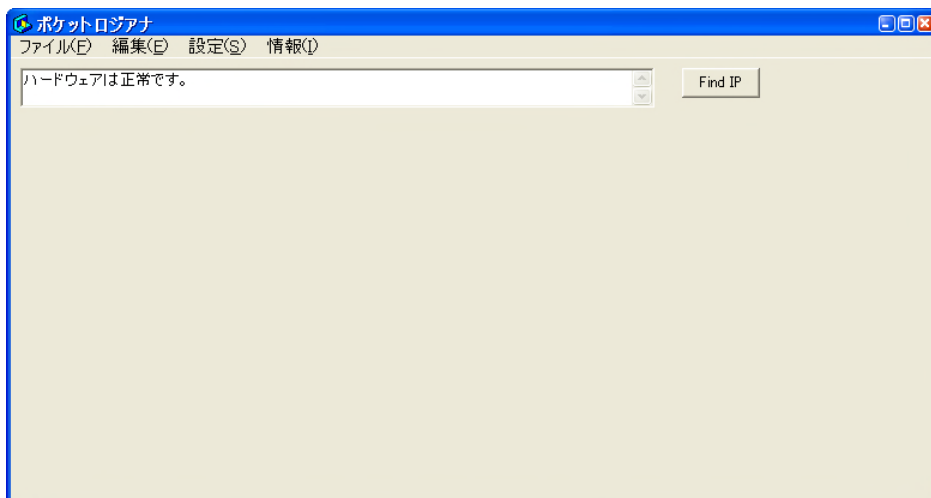
「導入編 8」に従って、ポケットロジアナとFPGA 基板がフラットケーブルで接続されているものとします。

- 1 スタートメニューからポケットロジアナを選び、ソフトを立ち上げます。

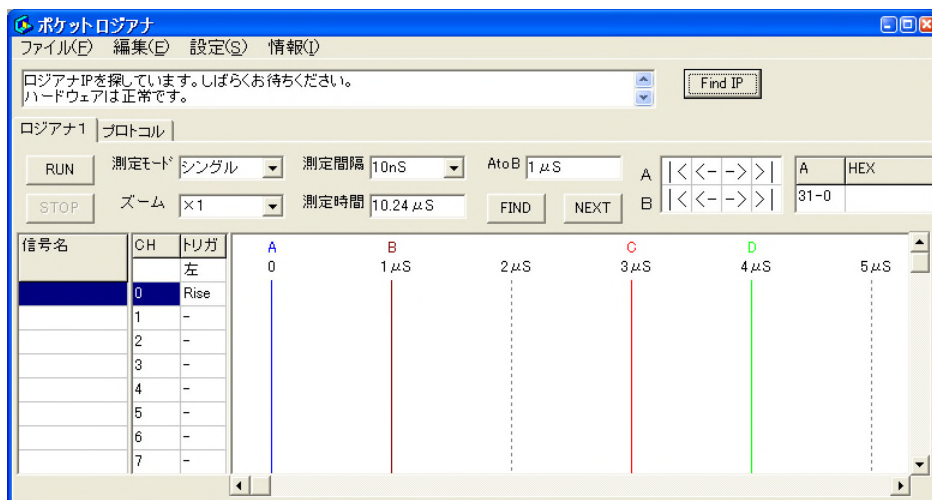


参考 ポケットロジアナ本体を接続せずにポケットロジアナソフトを起動すると、保存したファイルの波形ビューワ (viewer) として利用できます。

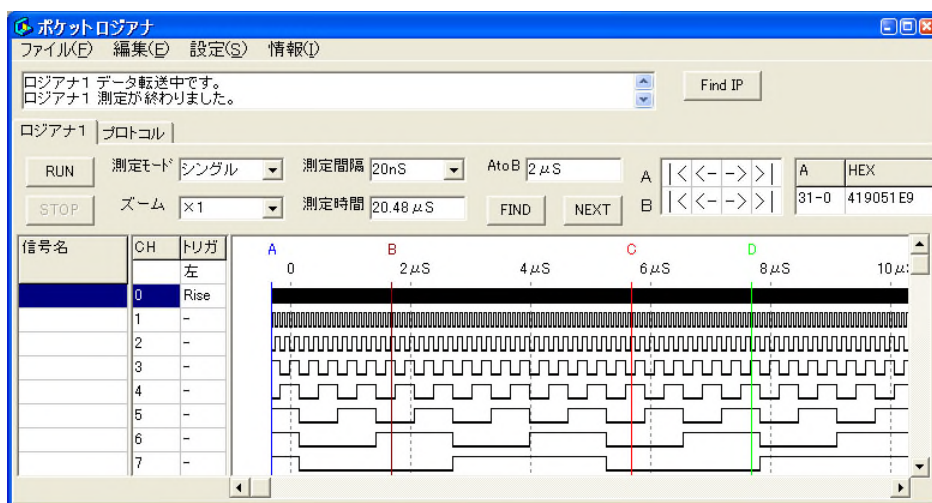
- 2 メッセージボックスに“ハードウェアは正常です”と表示されます。



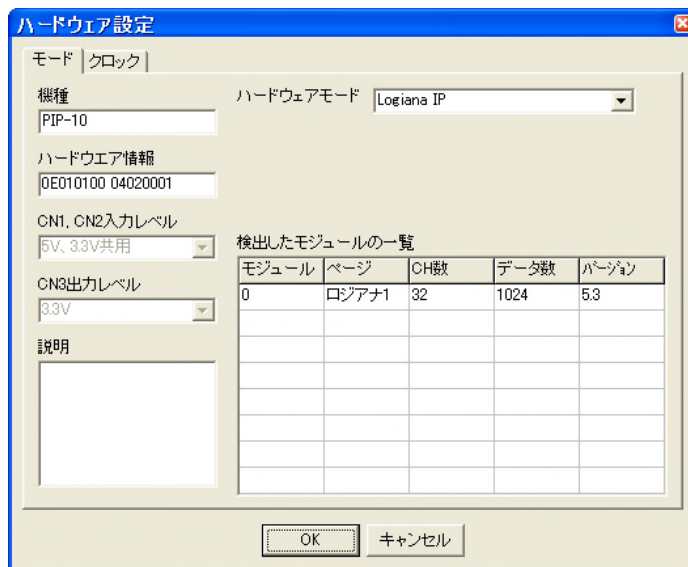
- 3 Find IP ボタンを押し、5 秒程待ちます。ロジアナ IP と信号発生 IP が見付き、下記のような画面になります。



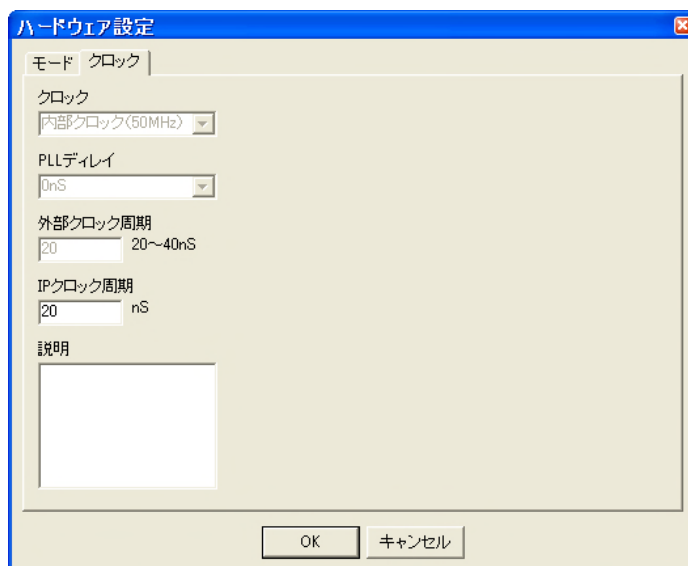
- 4 RUN を押します。波形が表示されます。これは plgi.vhd 内に記述している 32bit カウンタの出力波形です。



- 5 メニューの「設定 | ハードウェア」を選択し、「ハードウェア設定」ダイアログを表示すると、検出した IP (モジュール) の情報を見ることができます。



ロジアナ IP に供給するクロックが 50MHz 以外の方は、同じダイアログで、「クロック」タブをクリックし、IP クロック周期を整数で記入してください。



6 これで動作確認は終了です。

測定を行うには、plogi.vhd に測定を行いたい(お客様開発の)回路を追加し、ロジアナ IP の入力 LOGLIN[31..0]に接続してください。plogi.vhd 内に記述している 32bit カウンタは不要ですので削除してください。

— 第 3 章 —

応用編

応用編 1. ロジアナ IP を追加する.....	43
1.1 Altera 社の開発ソフト Quartus II の操作	43
1.2 VHDL／VerilogHDL からロジアナ IP を使う	52

応用編 1. ロジアナ IP を追加する

C:\ProgramFiles\PocketLogiana\Logiana IP\PartsBox および、C:\ProgramFiles\PocketLogiana\Logiana IP\Sample には、各種 IP モジュールが置いてあります。

「チュートリアル編 1」で作成した C:\plogi_work\plogi は、8ch ロジアナと 8ch パターンジェネレータの組合せでしたが、これに 32ch ロジアナを追加します。

注意 IP モジュールの最大個数は、ロジアナが 3 個まで、信号発生が 3 個まで、合計では 5 個までです。

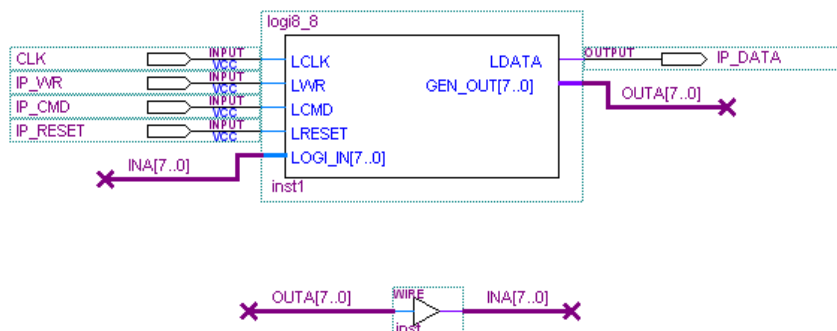
注意 フォルダ名が *compress となっている IP モジュールで、フォルダ内に *_v53.vhd というファイルを含む IP 同士を組み合わせることはできません。ただし、同一 IP を複数個使用することは可能です。

注意 Xilinx 社の FPGA 用のパターンジェネレータ IP はありません。

1.1 Altera 社の開発ソフト Quartus II の操作

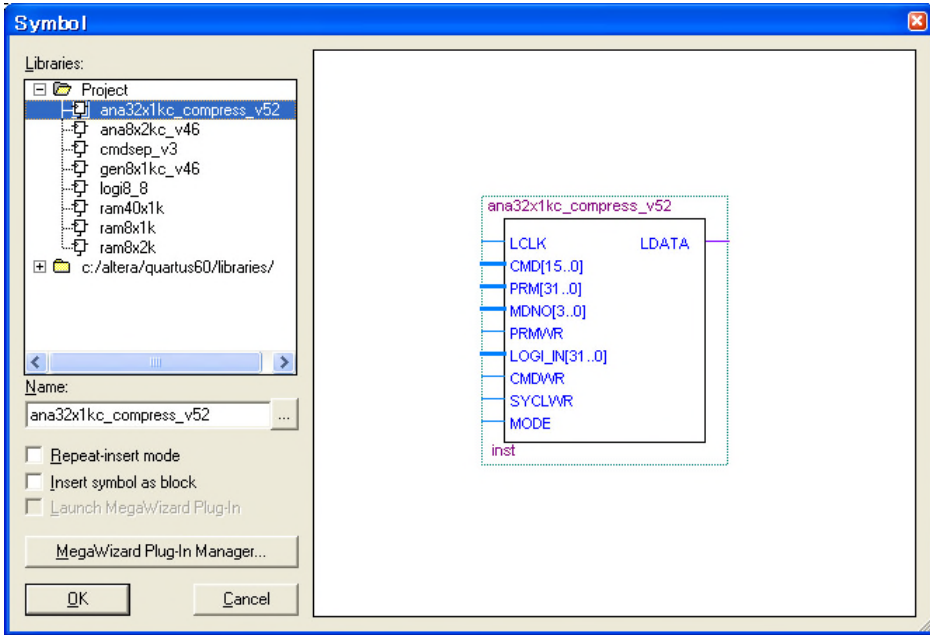
このマニュアルでは、Quartus II Ver6.0 を使用しています。

- 1 C:\ProgramFiles\PocketLogiana\Logiana IP\PartsBox\quartus\cyclone\Fana32x1k\compress フォルダ内のファイルを C:\plogi_work\plogi にコピーします。
- 2 Quartus II を起動します。
- 3 メニューの [File | Open Project] を選択し、プロジェクトファイル C:\plogi_work\plogi\plogi.qpf を開きます。
- 4 メニューの [File | Open] を選択し、plogi.bdf を開きます。

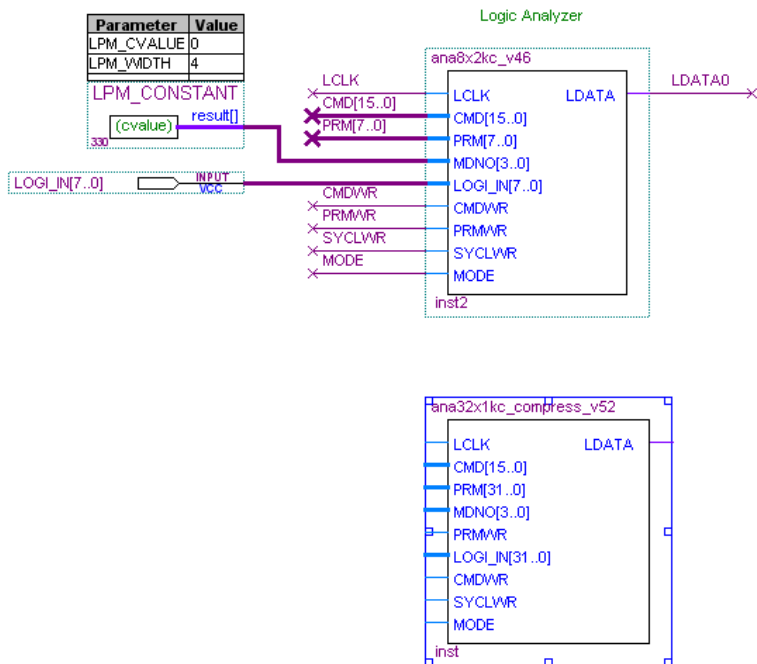


5 シンボル logi8_8 をダブルクリックし、logi8_8.gdf を開きます。

6 シンボル ana8x2kc_v46 の下の空きスペースでダブルクリックし、ana32x1kc_compress_v52 を選びます。

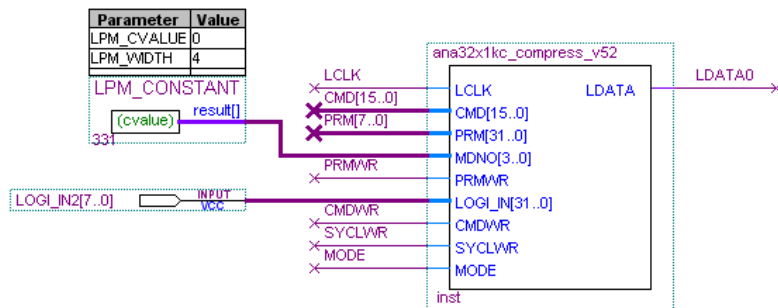


左クリックし、ana8x2kc_v46 の下に置きます。

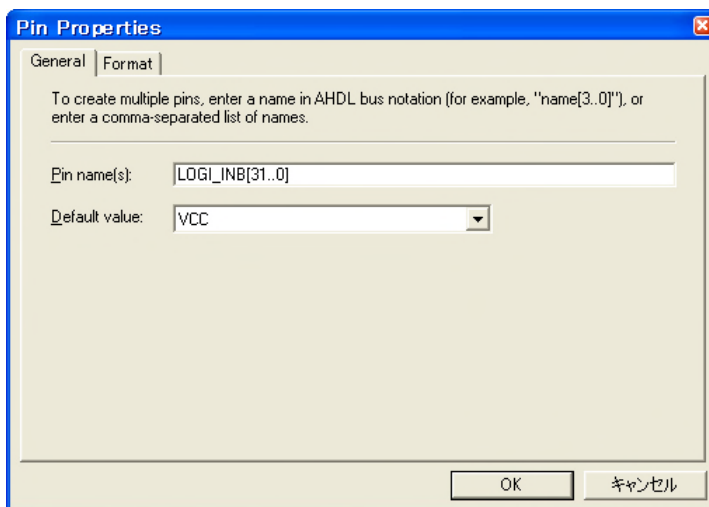


7 ana8x2kc_v46 の入出力を参考に、ana32x1kc_compress_v52 に信号を接続します。

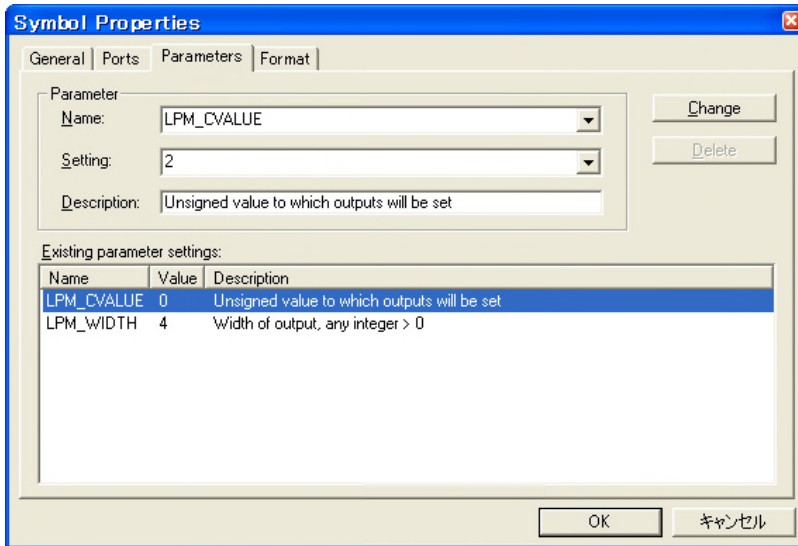
ana8x2kc_v46 の入力信号を囲むようにドラッグして選択し、右クリックでコピーし、空きスペースで右クリックし、ペーストします。ペーストした信号はドラッグで移動できます。信号の並びが ana8x2kc_v46 とは異なりますので、信号を 1 つずつ移動して、下記のように接続します。LDATA0 についてもコピー・ペーストします。



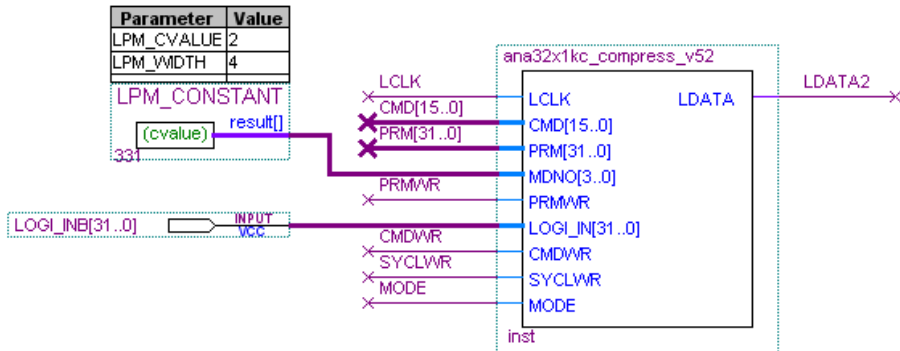
信号 LOGI_IN2[7..0] をダブルクリックし、開いたダイアログで信号名を LOGI_INB[31..0] に変更します。同じように、PRM[7..0] を PRM[31..0] に、LDATA0 を LDATA2 に変更します。ダイアログが開かず、直接、信号名を編集できることもあります。



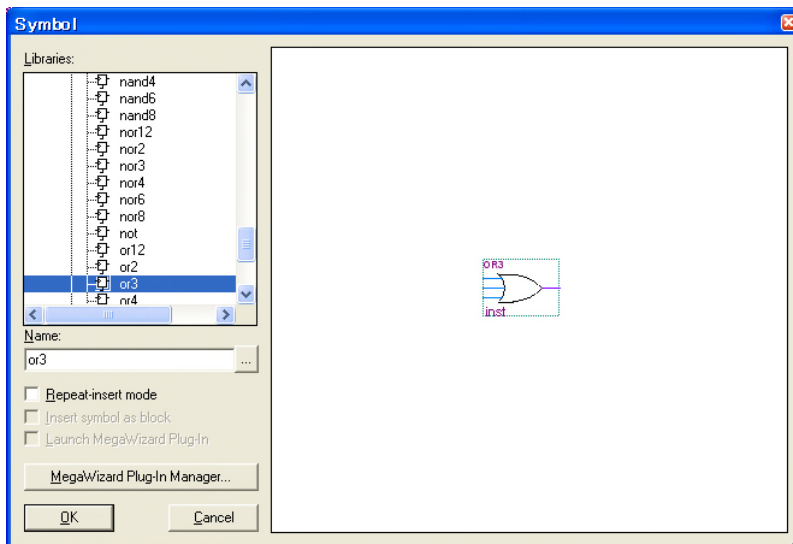
LPM_CONSTANT の上の LPM_CVALUE をダブルクリックし、開いたダイアログで値を 2 に変更します。0 と 1 は、ana8x2kc_v46 と gen8kx1kc_v46 が使用しているもので、2 を使います。この数字はモジュール番号です。モジュール番号は 0 から 5 の間で、重ならないようにします。



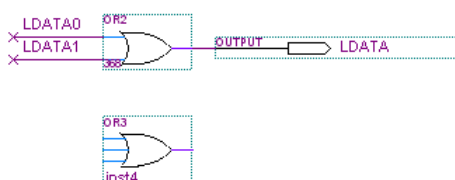
変更後の ana32x1kc_compress_v52 の入出力です。



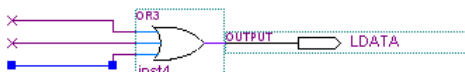
8 回路図の右上のシンボル OR2 の下の空きスペースで、ダブルクリックして、Name の欄に or3 と入力し、OK を押します。



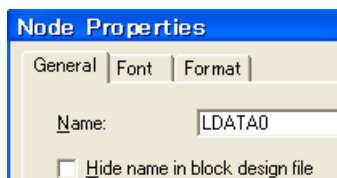
OR2 の下に置きます。



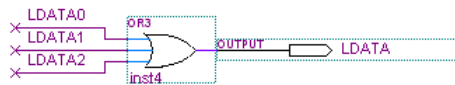
9 出力シンボル LDATA をカットし、OR3 の出力に置きます。OR3 の入力にカーソルを移動すると、矢印が十字に変わります。そこからドラッグして、ワイヤーを下記のように引き出します。



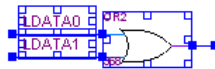
10 ワイヤーを右クリックし、Properties を選びます。ダイアログの Name の欄に LDATA0 と入れて、**OK** を押します。



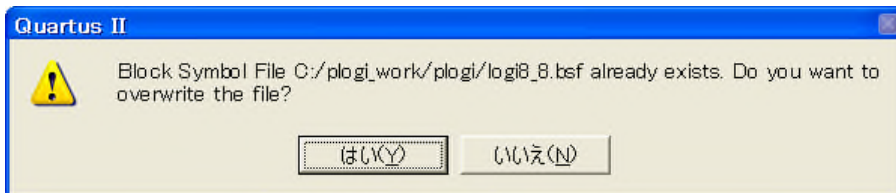
同じようにして、LDATA1, LDATA2 と入れます。



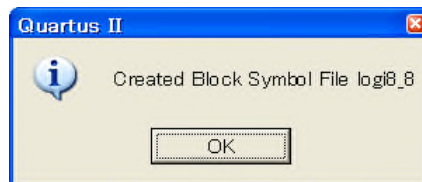
囲むようにドラッグして OR2 と入出力ワイヤーを選択し、**Delete** キーを押して、削除します。



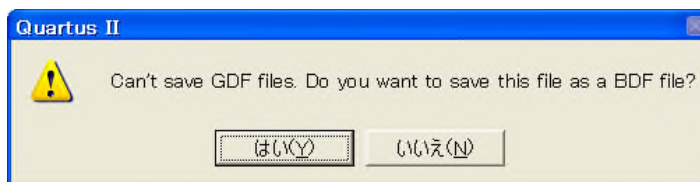
11 メニューの[File | Create / Update | Create Symbol Files for current File]で、Logi8_8 の回路図用シンボルを更新します。下記のメッセージが出ますので、はいを選びます。



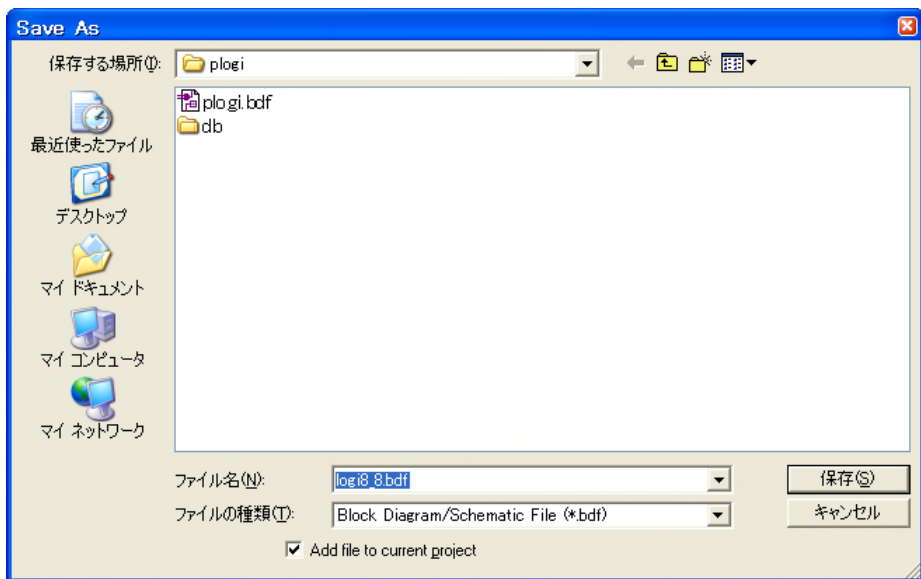
OK を押します。



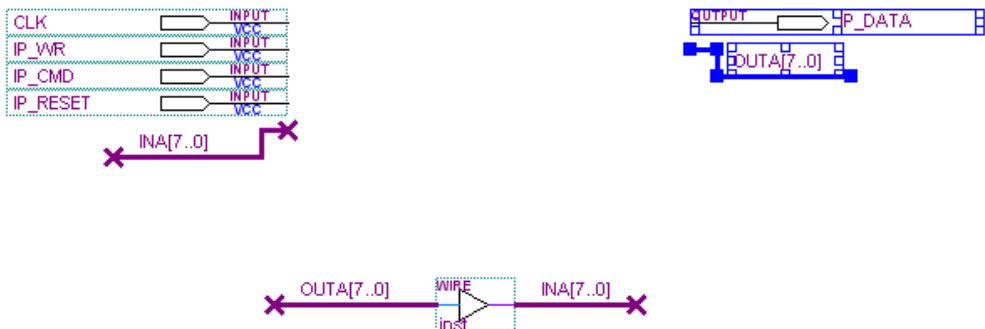
12 これで回路図 Logi8_8 の変更は終了です。メニューの[File | Save]で回路図を保存します。下記のメッセージが出ますので、はいを選びます。



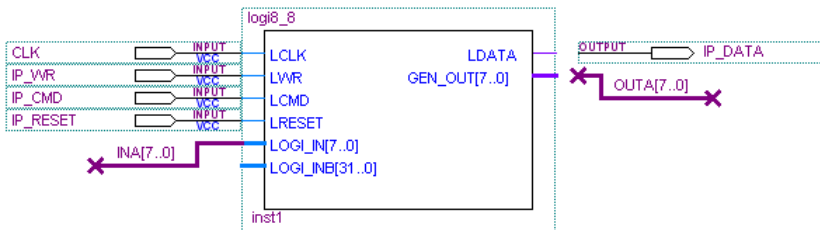
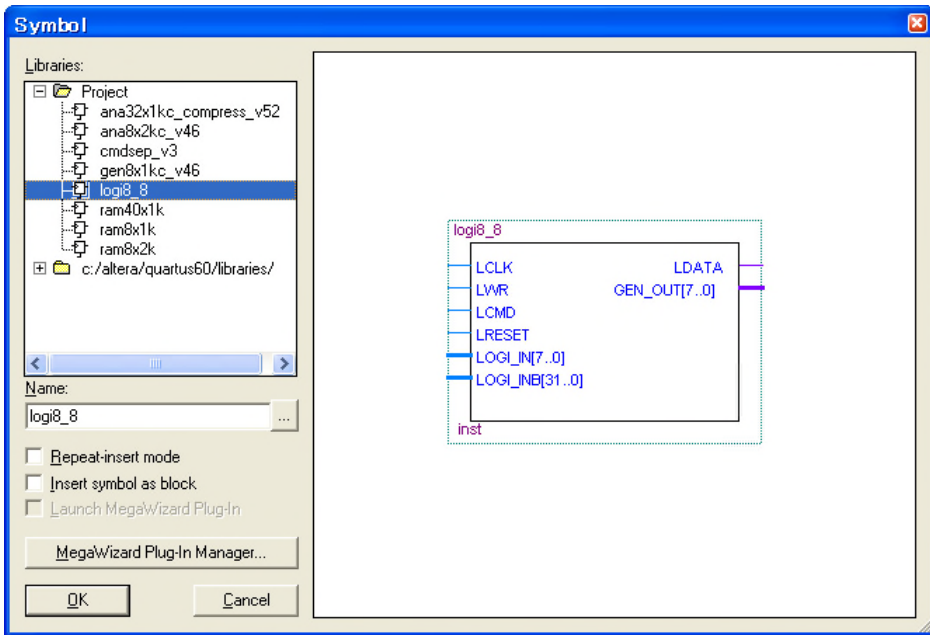
ファイル名 logi8_8.bdf で保存します。



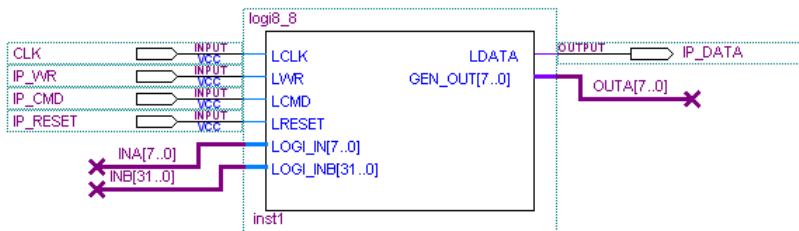
13 左上のタブ plogi.bdf をクリックして、plogi.bdf に移動します。シンボル logi8_8 の上で左クリックして選択し、**Delete** キーを押して削除します。出力信号を囲むようにドラッグして選択し、少し右に移動します。



空きスペースでダブルクリックして、logi8_8 を選び、**OK** を押します。位置を入力信号に合わせて置きます。



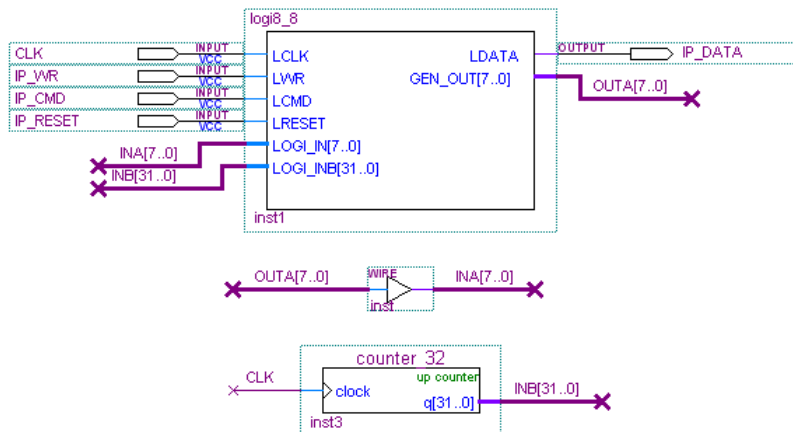
出力シンボル IP_DATA と信号 OUTA[7..0]を移動して、logi8_8 に接続します。
LOGI_INB[31..0]からワイヤーを引き出し、信号名を INB[31..0]とします。



14 C:\ProgramFiles\PocketLogiana\Tutorial\altera\plogi2 フォルダ内の counter_32.vhd と counter_32.bsf を C:\plogi_work\plogi にコピーします。

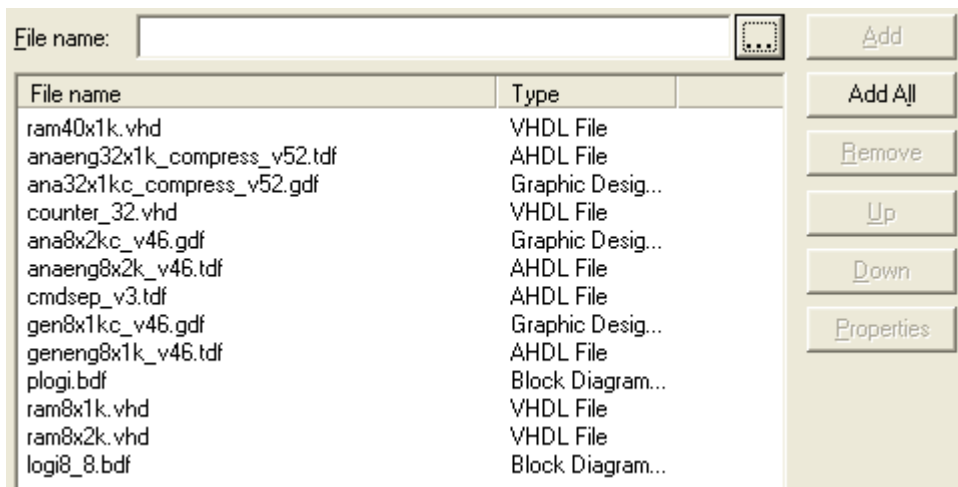
15 空きスペースでダブルクリックして、counter_32 を選び、logi8_8 の下に置きます。

入りに CLK、出力に INB[31..0]を配線します。



16 これで plogi.bdf の変更は終了です。メニューの[File | Save]で回路図を保存します。

17 メニューの[Project | Add/Remove Files in Project]で、logi8_8.gdfを Remove し、counter_32.vhd と ana32x1kc_compress_v52.gdf、anaeng32x1kc_compress_v52.tdf、ram40x1k.vhd をプロジェクトに Add します。

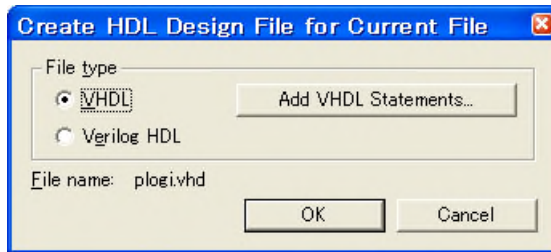


18 「チュートリアル編」と同じようにコンパイル、ダウンロード、ポケットロジアナソフトの起動を行います。

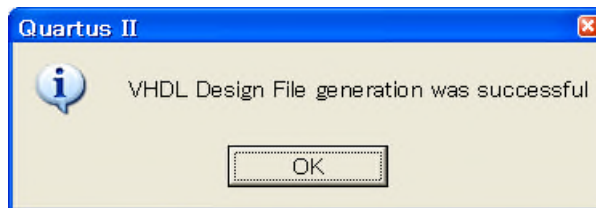
1.2 VHDL/VerilogHDL からロジアナ IP を使う

VHDL または VerilogHDL からロジアナ IP を呼び出して使う方法を解説します。

- 1 「応用編 1.1」と同様に、プロジェクトファイルを開き、plogi.bdfを開きます。
- 2 メニューの[File | Create / Update | Create HDL Design File for Current File] を選びます。VHDL または VerilogHDL を選びます。



ロジアナ IP を利用する VHDL または VerilogHDL ソースコード (plogi.vhd または plogi.v) が作成されます。



- 3 メニューの[Project | Add/Remove Files in Project]を選びます。plogi.bdf を選択し、**Remove** ボタンを押して plogi.bdf をプロジェクトから削除します。
- Add** ボタンを押して、plogi.vhd または plogi.v をプロジェクトに加えます。
- 4 この状態でコンパイルを行うと、VHDL または VerilogHDL からロジアナ IP を呼び出して使う形になります。

Pocket Logiana

有限会社 エムビーウェア

〒862-0954 熊本市神水 1-21-8-409

TEL/FAX:096-385-6312

(お掛けになる場合、発信者番号通知が必要です)

E-mail: support@mbeware.com

<http://www.mbeware.com>