

応用編 1. Spartan-3 対応ロジアナ IP の動作確認

1.1 ポケットロジアナとお客様開発の基板との接続

ポケットロジアナをお客様開発の基板上の FPGA と接続します。FPGA は、Xilinx 社の Spartan-3 が使用できます。ポケットロジアナ上部の 10 ピンコネクタに、標 準添付のフラットケーブルを接続し、もう一端はお客様開発の基板上に設けた 10 ピンヘッダーに接続します。



ポケットロジアナとお客様開発の基板上の FPGA との接続は、下記のように信号 4本と GND2 本を接続します。FPGA 側は、入出力レベルが 3.3V の任意の I/0 ピンが 使えます (次ページの注意を参照)。LVC541 のバッファ入力を (未使用のバッファ も含めて) 10KΩでプルダウンします。



PL-200 シリーズの場合は、LVC245 のところが HC244 です (VCC=3.3V は同じ)。抵抗 ^{応用編} 1 は150Ωと47Ωです。

PL-100 シリーズ (PL-50 を含む) の場合は、LVC245 のところが PIC16F877 です (VCC=5V)。抵抗はすべて 220Ωです。

下記にフラットケーブルの10ピンコネクタの信号配置および、お客様開発の基板 上に設ける10ピンヘッダーの信号配置を示します。10ピンコネクタ側のIP_STATUS 信号は使用しません。

●10 ピンコネクタ

●10 ピンヘッダー

ピン		ポケットロジアナ
番号	信号名	から見た入出力
1	IP_WR	Output
2	GND	
3	IP_DATA	Input
4		No Connect
5	IP_RESET	Output
6		No Connect
7	IP_STATUS	Input
8		No Connect
9	IP_CMD	Output
10	GND	

ピン 番号	信号名	お客様開発の基板 から見た入出力
1	IP_WR	Input
2	GND	
3	IP_DATA	Output
4		No Connect
5	IP_RESET	Input
6		No Connect
7		No Connect
8		No Connect
9	IP_CMD	Input
10	GND	

注意!

Spartan-3のバンク4の一部の I/O とバンク5の一部の I/O は、コンフィギュレーション のとき、入出力レベルが 2.5V になります。ポケットロジアナと接続する Spartan-3のピン は、バンク 4 とバンク 5 以外の 3.3V LVCMOS の I/O を選択してください。使用する FPGA によって、バンク構成が異なる可能性がありますので、必ずデータシートで 確認してください。

接続イメージ

Xilinxの開発ソフトISE でトップファイルを plogi.vhd としたときの FPGA 内の回路との接続イメージです。logi32(実体は logi32.vhd) がロジアナ IP です。count_int は、ロジアナ IP が波形を測定できるように、plogi.vhd にサンプルとして入れている 32bit カウンタです (plogi.vhd の中で記述しています)。



CLOCK(最小16MHz)

1.2 Xilinxの開発ソフト ISE の操作

以下の画面は、ISE8.1の場合です。

C:¥ProgramFiles¥PocketLogiana¥Logiana IP¥Sample¥xilinx¥plogiフォルダを適当な場所(ここでは C:¥plogi_work)にコピーします。

2 ISEを起動します。

3 メニューの [File | New Project] を選択します。New Project Wizard が現れ ますので、Project Location で C:¥plogi_work を選び、Project Name に plogi と入 力します。Next を押します。

🚾 New Project Wizard – Create New F	Project	
Enter a Name and Location for the Project		
<u>P</u> roject Name:	Project Location	
plogi	C:¥plogi_work¥plogi	
Select the Type of Top-Level Source for the Project	ot	
Top-Level Source Type:		
HDL		*
More Info	< <u>B</u> ack <u>N</u> ext > Ca	ncel

elect the Device and Design Flow t	for the Project
Property Name	Value
Product Category	All
Family	Spartan3
Device	XC3S200
Package	FT256
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISE Simulator (VHDL/Verilog)
Enable Enhanced Design Summary	
Enable Message Filtering	
Display Incremental Messages	

5 Nextを押します。

New	Project Wizard - Cr	reate New Source	
Create	a New Source		
1	Source File	Туре	New Source
Creat	ing a new source to add to t	the project is optional Only one new source	can be created with the New
Creat roject \	ing a new source to add to t Wizard. Additional sources ca	the project is optional. Only one new source an be created and added to the project by us command.	can be created with the New ing the "Project->New Source
Creat roject \	ing a new source to add to t Mizard. Additional sources ca Exist	the project is optional. Only one new source an be created and added to the project by us command. ting sources can be added on the next page.	can be created with the New ing the "Project->New Source
Creat roject \ More Ji	ing a new source to add to t Wizard. Additional sources ca Exist	the project is optional. Only one new source an be created and added to the project by us command. ting sources can be added on the next page. < Back	can be created with the New ing the "Project->New Source Next > Gancel

Source File		Copy to Project	Add Source
1			Pamoua
			Remove

全てのファイルを選択して、開くを押します。

Select one or	more files to add		? 🔀
ファイルの場所型:	🗁 plogi	- ← 🖻 📸 -	
最近使ったファイル デスクトップ デスクトップ マイドキュメント マイ コンピュータ マイ ネットワーク		Vn cmdsep_v53.vhd Vn pl_ff_ecs.vhd Vn pl_cmp_eqn_w.vhd Vn pl_cnt_cse_w.vhd Vn pl_ent_cse_w.vhd Vn pl_sft_edioq_w.vhd Vn pl_ffl_ecid_w.vhd Vn pl_ffl_ecid_w.vhd Vn ram40x1 k.vhd Vn pl_sub_10.vhd Vn pl_sub_10.vhd Vn pl_and_7.vhd Vn pl_or_32.vhd	
	ファイル名(N): 「 ファイルの種類(T): 「	"pl_or_32.vhd" "logi32.vhd" "mb_v53.vhd" "plogi.vhd" ▼ 開((2)) Source(*.txt *.vhd *.vhd *.v *.abl *.xco *.sch *.edn ▼ キャンセ)	-

	Source File	Copy to Project 🧭	Add Source
1	pl_or_32.vhd		
2	logi32.vhd		<u>R</u> emove
3	mb_v53.vhd		
4	plogi.vhd		
5	ml_v53.vhd		
6	mk_v53.vhd		
7	mj_v53.vhd		
8	mi_v53.vhd		
9	mh_v53.vhd		
10	mg_v53.vhd		
11	mf_v53.vhd		
12	me_v53.vhd		-

8 Finishを押します。

🜁 New Project Wizard – Project Summary	
Project Navigator will create a new project with the following specifications:	
Project:	^
Project Name: plogi	
Project Path: C:\plogi_work\plogi	
Top Level Source Type: HDL	
Device:	
Device Family: Spartan3	
Device: xc3s200	
Package: ft256	
Speed: -4	
Synthesis Tool: XST (VHDL/Verilog)	
Simulator: ISE Simulator (VHDL/Verilog)	
Enhanced Design Summary: enabled	
Message Filtering: disabled	
	<u> </u>
Sector	ancel

155	Adding Source Files	
Т	he following allows you to see the statu	us of the source files being added
tł si	e project, and allows you to specify the ources which are successfully added to	e Design View association for the project.
Γ	Design Unit	Association
	🔩 ram40×1k	Synthesis/Impleme 🗸
	🖉 pl_sub_10.vhd	
	PL_SUB_10 RTL	Synthesis/Imp + S 🗸
	🕗 pl_and_7.vhd	

10 しばらく待つと、Sources ウィンドウに PLOGI が現れます。 PLOGI をクリックして、選択します。



11 Processes ウィンドウの Implement Design をダブルクリックします。コンパイルが始ま

ります。

応用編

8



12 コンパイルが終了して、エラーのないことを確認します。 Implemant Design の横のマークが緑色になります。
Processes: Add Existing Source Create New Source View Design Summary System Constraints User Constraints Synthesize - XST Complement Design
Generate Programming File
Number of warnings: 0 Total time: 7 secs Process "Generate Post-Place & Route Static Timing" completed successfully

PLOGI Project Status					
Project File:	plogilise	Current State:	Placed and Routed		
Module Name:	PLOGI	• Errors:	No Errors		
Target Device:	xc3s200-4ft256	• Warnings:	<u>26 Warnings</u>		
Product Version:	ISE, 8.1i	• Updated:	金 10 20 18:40:46 2006		



13 Processes ウィンドウの User Constraints の Assign Package Pins をダブルクリックし

ます。



🗧 Proj	ect Navigator
?	This process requires that an Implementation Constraint File (UCF) be added to the project and associated with the selected design module. Would you like Project Navigator to automatically create a UCF and add it to the project at this time? If you select "No" you will need to create or add an existing UCF to the project before running this process.
	Yes No

14 しばらくすると、Xilinx PACE 画面が	見れます。
Image: Second state Image: Second state Image: Second state Image: Second state </th <th>==== 9 27 \$2 4 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</th>	==== 9 27 \$2 4 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
Design Browser O Vo Pins Global Logic Logic Logic C Design Object List - I/O Pins VO Name I/O Direction Loc Bank I/O Std. Clk hput P_CMD hput P_PATA Output P.P.RESET hput IP.WR hput	Device Architecture for xc3s200-4-ft256
For Help, press F1	Package View Architecture View / 4

15 Design Object List ウィンドウを拡大し、Loc にお客様開発の基板に応じたピン番号 を入力します。

Xilinx P/	ACE - [Desig	n Objec	t Lis	t - I/O Pins]							
E Eile Ed	it <u>V</u> iew IOE	3s <u>A</u> rea	s <u>I</u> c	ols <u>W</u> indow <u>H</u> elp	þ						- 8 ×
	🖶 🗠 🛤	~ K?	B		ABC .	4 🔼 🗖	1 📅	💹 🖾 🗋	KQ.	1 X 🔍	. 😰 📋
I/O Name	I/O Direction	Loc	Bank	I/O Std.	Vref	Vcco Driv	e Str.	Termination	Slew	Delay	Diff. Type
CER	(Input)	7			i sent i i						Unknown
IP CMD	Innut		_	TVCMOS33	N/A	3 30					Inknown
	and the set of the			LA0140000	142.11	0,00					OUNTOWN
IP_DATA	Output			LVCMOS33	N/A	3,30					Unknown
IP_DATA	Output Input			LVCMOS33 LVCMOS33	N/A N/A	3,30 3,30	_				Unknown Unknown

ポケットロジアナと接続する信号の I/O Std.を LVCMOS33 に設定します。ポケットロジアナとの接続には、入出力レベルが 3.3V の I/O ピンを使用してください(2ページの注意参照)。

16 メニューの[File | Save] を選択します。下記のダイアログが現れますので、 XST Default <> にチェックして OK を押します。

Bus Delimiter	×
Select IO Bus Delimiter	
Don't show this dialog again (can be set through preferences dialog) OK Cancel <u>H</u> elp	

17 メニューの [File | Exit] で Xilinx PACEを終了します。

18 Processes ウィンドウの Implemant Design の横のマークがオレンジになっています。 Implement Design をダブルクリックします。コンパイルが始まります。12項のように、正常終 了すれば OK です。

Process	es	×
Process	ses:	
	Add Existing Source	
	Create New Source	
··· Σ	View Design Summary	
± 🏏	Design Utilities	
± 🎾	User Constraints	
E ()	🔥 Synthesize - XST	
± 226	Implement Design	
⊞ ₹2	Generate Programming File	
<	HH	>
¶t Pro	ocesses	

19 Pinout Report でピン割り当てを確認します。



20 作成した回路を FPGA にダウンロードします。お客様作成の基板に、Xilinx 社のダウンロードケーブルを接続します。

参考文献: ISE 8.1i クイック スタート チュートリアル.pdf page 29 Spartan-3 デモ ボードへのデザインのダウンロード

Xilinx 社のホームページ http://www.xilinx.co.jp/で、キーワードを「ISE 8.1i クイック スタート」、検索対象を「マニュアル」にして検索すると見つかります。

	ISE 8.11 クイ マニュアル アドリ	ックスタート ▼ 検索 ジス サーチ
	製品とサービス アブリケーション情報 サポート 購入情報 ゲ	イリンクスについて
	ISE 8.1i クイックスタート Google 検索 絞り込み検索 ③日本サイトを検索 ○USサイトも検索]
		日付順ノマッチ率の高い順
	(PDF) ISE 8.1i Page 1. R ISE 8.1i クイックスタート チュート リアル Page 2 www.xilinx.co.jp 7 R ISE 8.1i クイックスタート チュート リアル このチュートリ アルでは、ザイ リンクスの PLD 設計者を対象に、 ISE 8.1i を使用した基本的なデ - 2006-03-06	
12	応用編	

Uばらくすると、下記のダイアログが現れます。Finish を押します WHACT - Welcome to iMPACT Please select an action from the list below Configure devices using Boundary-Scan (JTAG) Automatically connect to a cable and identify Boundary-Scan chain Prepare a PROM File Prepare a System ACE File Frepare a Boundary-Scan File SVF Configure devices Using Slave Serial mode		Processes Processes: View Design Ut Sourcesses: View Design Ut User Consist Synthesize Config Config Processes	ign Summary ilities straints e - XST : Design Programming File amming File Gene ate PROM, ACE, sure Device (iMP	x eration F or JTA(ACT)	
< <u>B</u> ack <u>Einish</u> <u>C</u> ancel	しばらくすると ■ iMPACT - Please select a ② Configure of Autom ③ Prepare a F ③ Prepare a E ③ Configure of	と、下記のダイア Welcome to iMPA(n action from the list belo levices using Boundary-S natically connect to a cabi PROM File Boundary-Scan File Soundary-Scan File levices	ログが現れま CT Given (JTAG) le and identify Bour IVF	す。 Finish を ndary-Scan chain	:押します この区
			< <u>B</u> ack	<u>F</u> inish (<u>C</u> ancel

Sector Assign	New Configuration File)			3
Look jn: { 	C:/plogi_work/plogi		• •		
File <u>n</u> ame: File <u>t</u> ype:	plogibit All Design Files (*.bit *.rbt *.nky	(*.isc *.bsd) Car	► ncel <u>A</u> ll	Open Cancel Bypass	
4 OK を押し	ょます。				
Warning WARNING: but the ori	MPACT:2257 - Startup Clock has b inal bitstream file remains unchange	een changed to 'Jtag ed. OK	OIK in the bits	tream stored in me	xmory,
5 Bypass を	押します。				
5 Bypass を ま Assign	押します。 New Configuration File	2		20	3
5 Bypass を Look jn: { 	押します。 <mark>New Configuration File</mark> _国 C:/plo <u>ei_</u> work/plogi	•	•	2 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	3
5 Bypass を Look jn: Cook jn: 	押します。 <mark>New Configuration File</mark> コ ^{C:/plogi_work/plogi}	3	•		3
5 Bypass を Look in: { Cook in: { ing neo xmses xmses xst File <u>n</u> ame: File <u>n</u> ame:	押します。 New Configuration File GC:/plogi_work/plogi	sc *.bsd)	▼ ←	Cancel Bypass	3
5 Bypass を Look in: Cook in: Ingo Xmses Xmses Xmses Tile <u>n</u> ame: File <u>n</u> ame:	押します。 New Configuration File ふC:/plogi_work/plogi	sc *bsd) Car	▼ ←	Cancel Bypass	3
5 Bypass を Look in: Cook in: Coo	押します。 New Configuration File ふC:/plogi_work/plogi	sc *bsd) Car		Open Cancel Bypass	3



27 FPGA のアイコンで右クリックして、Program を選びます。





1.3 ポケットロジアナソフトの起動

応用編 1.1 に従って、ポケットロジアナとお客様開発の基板がフラットケーブル で接続されているものとします。

1 ポケットロジアナソフトを起動します。

ロジアナが2つあります。ロジアナ1がロジアナ IP です。ロジアナ2はテスト クリップを使って測定する本体ロジアナです。

🚺 ポケットロ	ジアナ							
ファイル(<u>E</u>)	編集(<u>E</u>)	設定(<u>s</u>) 情報	B(Ī)				
ハードウェアに	は正常です	す。				~		
ロジアナ1 ロ	リジアナ2	信号発生	:1 プロ	I⊦⊐//				
RUN	測定モート	シングル	•	測定間隔 20nS 🔹	AtoB 2 µ S	A (<	<>>	A HEX
STOP	ズーム	×1	•	測定時間 20.48 µ S	FIND	NEXT B	<>>	31-0
信号名	CH	トリガ	A	В		С	D	^
		左	0	2 µ S	4 µ S	6µS	8 µ S	10µS 📃
	0	Rise						
	1	-						
	2	-						
	3	-						
	4	-						
	5	-						
	6	-			1			1
	7	-						
	8	-			1			
	9	-						
	10	-						
L	11	-						
	12	-						
	13	-						
L	14	-						1
1	15	- 1			1			
		4						•

3 RUN を押します。波形が表示されます。

<mark>> ボクットロ</mark> ファイル(<u>E</u>) :	<u>ジアナ</u> 編集(<u>E</u>)	設定(<u>s</u>)	情報(1)				
ロジアナ1 デ・ ロジアナ1 測	ータ転送) 定が終わ	中です。 りました。				*		
ロジアナ1 ロ	ジアナ2	信号発生	1 プロトコ	a/J				
RUN	測定モート	シングル	▼ 測	定間隔 20nS ▼	AtoB 2 µS	A 1<<-	->> A	HEX
STOP	ズーム	×1	• 1	l定時間 20.48 μS	FIND NE	RT BICC-	->> 31-0	22851673
信号名	СН	トリガ	A	в		0	D	1
		左	0	2µS	4 µ S	6µS	8µS	10 µ:_
	0	Rise			1			
	1	-	NUTANNUU	המנונטטטנוטטעקאינט <mark>י</mark> ונוטא <mark>ו</mark> מנועטטטטטטט	TINNI TI	INNI INTRANTIANNIANNIA	ากกรรณ <mark>เ</mark> กรรณิการรรณการระบบเร	DIOLANDIO DI
	2	-	າກການ	տուստություն	տուստորոսու	տուստոսոս	տորորու	າທາກການ
	3	-	תית	nnn	uuuuu	տուսու	uuuu	nnn
	4	-						
	5	-						
	6	-	1					1
	7	-	1					
	8	-						
	9	-						
	10	-						
	11	-						
	12	-						
	13	-	1		1			
	14	-						
	15	-						1.1.1

参考 動作確認がうまくいかない時は、メニューの [設定 | ハードウェア] で、ハード ウェア設定ダイアログを開き、表の中にモジュール=0のロジアナ IP があることを確認し てください。モジュール=0のロジアナ IP が無い時は、FPGA との通信ができていません。

ロジアナ IP に供給するクロックが 50MHz 以外の方は、メニューの[設定 | ハード ウェア]でハードウェアダイアログを開き、「クロック」タブをクリックして、IP クロック周期を整数で記入してください。

ハードウェア設定	
モード クロック	
クロック 内部クロック(50MHz) <u>・</u>	
PLLディレイ DrS	
外部クロック周期 20 20 20~40nS	
IPクロック周期 20 nS	
説明 外部クロック周波教範囲: 25~50MHz	
OK キャンセル	